

AMC23C11 具有可调阈值和锁存功能的快速响应增强型隔离式比较器

1 特性

- 较宽的高侧电源电压范围：3V 至 27V
- 低侧电源电压范围：2.7V 至 5.5V
- 可调阈值：20 mV 至 2.7V
- 阈值调整基准电流：
 - 100 μ A, \pm 2%
- 跳变阈值误差：250mV 时为 \pm 1% (最大值)
- 传播延迟：240ns (典型值)
- 高 CMTI：55kV/ μ s (最小值)
- 具有可选锁存模式的开漏输出
- 安全相关认证：
 - 符合 DIN VDE V 0884-11 标准的 7000V_{PK} 增强型隔离
 - 符合 UL1577 标准且长达 1 分钟的 5000V_{RMS} 隔离
- 针对更大工业温度范围进行了全面优化：-40°C 至 +125°C

2 应用

- 在以下器件中提供过流或过压检测功能：
 - 电机驱动器
 - 变频器
 - 光伏逆变器
 - 直流/直流转换器

3 说明

AMC23C11 是一款响应时间短的隔离式比较器。开漏输出与输入电路由抗电磁干扰性能极强的隔离栅隔开。该隔离栅经认证可提供高达 5kV_{RMS} 的增强型电隔离，符合 VDE V 0884-11 和 UL1577 标准，并且支持最高 1 kV_{PK} 的工作电压。

在低迟滞模式下，跳变阈值可通过单个外部电阻器在 20mV 至 450mV 之间调节，在高迟滞模式下则可在 600mV 至 2.7V 之间调节。

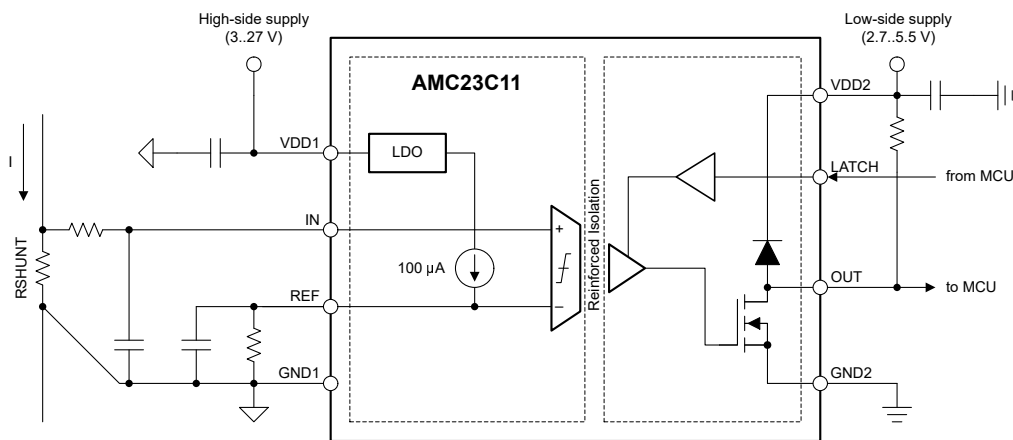
器件上的开漏输出支持输出状态与输入状态保持一致的透明模式（锁存输入连接至 GND2）或在锁存输入信号的下降沿上清除输出的锁存模式。

AMC23C11 采用 8 引脚宽体 SOIC 封装，并且在 -40°C 至 +125°C 的扩展工业温度范围内额定运行。

器件信息(1)

器件型号	封装	封装尺寸 (标称值)
AMC23C11	SOIC (8)	5.85mm × 7.50mm

- (1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



典型应用



内容

1 特性	1	7.2 功能方框图	12
2 应用	1	7.3 特性说明	13
3 说明	1	7.4 器件功能模式	19
4 修订历史记录	2	8 应用和实施	20
5 引脚配置和功能	3	8.1 应用信息	20
6 规格	4	8.2 典型应用	20
6.1 绝对最大额定值	4	8.3 必做事项和禁止事项	23
6.2 ESD 等级	4	9 电源相关建议	24
6.3 建议运行条件	5	10 布局	24
6.4 热性能信息	6	10.1 布局指南	24
6.5 功耗额定值	6	10.2 布局示例	24
6.6 绝缘规格	7	11 器件和文档支持	25
6.7 安全相关认证	8	11.1 文档支持	25
6.8 安全限值	8	11.2 接收文档更新通知	25
6.9 电气特性	9	11.3 支持资源	25
6.10 开关特性	11	11.4 商标	25
6.11 时序图	11	11.5 Electrostatic Discharge Caution	25
7 详细说明	12	11.6 术语表	25
7.1 概述	12	12 机械、封装和可订购信息	25

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
2022 年 2 月	*	初始发行版

5 引脚配置和功能

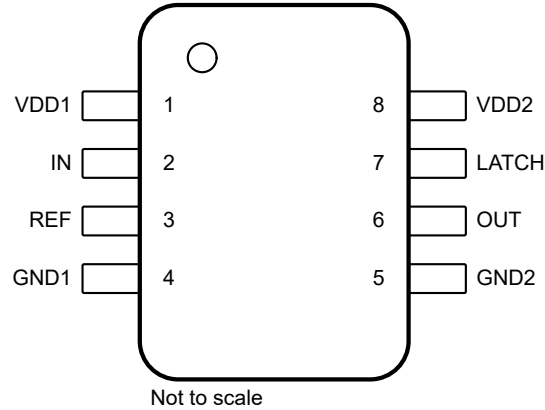


图 5-1. DWV 封装、8 引脚 SOIC (顶视图)

表 5-1. 引脚功能

引脚		类型	说明
编号	名称		
1	VDD1	高侧电源	高侧电源。 ⁽¹⁾
2	IN	模拟输入	比较器的模拟输入引脚。
3	REF	模拟输入	定义跳变阈值的基准引脚。此引脚上的电压还会影响比较器的迟滞，具体如 基准输入 部分所述。此引脚在内部链接至 100 μ A 电流源。在 REF 和 GND1 之间连接一个电阻器可以定义跳变阈值，而在 REF 和 GND1 之间连接一个电容器则可以对基准电压进行滤波。为了最大限度地提高瞬态噪声抗扰度，应将电容器尽可能靠近引脚放置。此引脚也可以通过外部电压源驱动。
4	GND1	高侧接地端	高侧模拟接地。
5	GND2	低侧接地端	低侧模拟接地。
6	OUT	数字输出	比较器的开漏输出。连接至一个外部上拉电阻器。
7	门锁	数字输入	用于选择开漏输出的锁存模式 (高电平) 或透明模式 (低电平) 的数字输入。不要让该输入引脚处于未连接状态 (悬空)。不使用时连接至 GND2。
8	VDD2	低侧电源	低侧电源。 ⁽¹⁾

(1) 有关电源去耦方面的建议，请参阅 [布局](#) 部分。

6 规格

6.1 绝对最大额定值

请参阅⁽¹⁾

		最小值	最大值	单位
电源电压	VDD1 至 GND1	-0.3	30	V
	VDD2 至 GND2	-0.3	6.5	
模拟输入电压	REF 至 GND1	-0.5	6.5	V
	IN 至 GND1	-6	5.5	
数字输入电压	LATCH 至 GND1	-0.5	VDD2 + 0.5	V
数字输出电压	OUT 至 GND2	-0.5	VDD2 + 0.5	V
输入电流	连续, 除电源引脚外的任何引脚	-10	10	mA
温度	结温, T _J		150	°C
	贮存温度, T _{stg}	-65	150	

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件、但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能性和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±1000	

- (1) JEDEC 文件 JEP155 规定: 500V HBM 可实现在标准 ESD 控制流程下安全生产。
 (2) JEDEC 文件 JEP157 规定: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作环境温度范围内 (除非另外注明)

			最小值	标称值	最大值	单位
电源						
V _{VDD1}	高侧电源电压	VDD1 至 GND1	3.0	5	27	V
V _{VDD2}	低侧电源电压	VDD2 至 GND2	2.7	3.3	5.5	V
模拟输入						
V _{IN}	输入电压	IN 至 GND1, VDD1 ≤ 4.3V	- 0.4	VDD1 - 0.3		V
		IN 至 GND1, VDD1 > 4.3V	- 0.4	4		
V _{REF}	基准电压	低迟滞模式	20	450		mV
		高迟滞模式	600	2000 ⁽¹⁾		
	基准电压余量	VDD1 - V _{REF}	1.4			V
	REF 引脚上的滤波器电容		20	100		nF
数字输入/输出						
	数字输入电压	LATCH 引脚	GND2	VDD2		V
	数字输出电压	OUT 至 GND2	GND2	VDD2		V
	灌电流	OUT	0	4		mA
温度范围						
T _A	工作环境温度		- 55	25	125	°C
	额定环境温度		- 40	25	125	

(1) 基准电压 (V_{REF}) > 1.6V 要求 V_{VDD1} > V_{VDD1,MIN} 以保持 1.4V 的最小余量 (V_{VDD1} - V_{REF})。

6.4 热性能信息

热指标 ⁽¹⁾		DWV (SOIC)	单位
		8 引脚	
$R_{\theta JA}$	结至环境热阻	102.8	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	45.1	°C/W
$R_{\theta JB}$	结至电路板热阻	63.0	°C/W
Ψ_{JT}	结至顶部特征参数	14.3	°C/W
Ψ_{JB}	结至电路板特征参数	61.1	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息, 请参阅《半导体和 IC 封装热指标》应用报告。

6.5 功耗额定值

参数		测试条件	值	单位
P_D	最大功耗 (两侧)	VDD1 = 27V, VDD2 = 5.5V	101	mW
		VDD1 = VDD2 = 5.5V	30	
		VDD1 = VDD2 = 3.6 V	20	
P_{D1}	最大功耗 (高侧)	VDD1 = 25 V	89	mW
		VDD1 = 5.5 V	18	
		VDD1 = 3.6 V	12	
P_{D2}	最大功耗 (低侧)	VDD2 = 5.5 V	12	mW
		VDD2 = 3.6 V	8	

6.6 绝缘规格

在工作环境温度范围内 (除非另外注明)

参数		测试条件	值	单位
常规				
CLR	外部电气间隙 ⁽¹⁾	引脚间的最短空间距离	≥ 8.5	mm
CPG	外部爬电距离 ⁽¹⁾	引脚间的最短封装表面距离	≥ 8.5	mm
DTI	绝缘穿透距离	绝缘层的最小内部间隙 (内部间隙)	≥ 15.4	μm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11) ; IEC 60112	≥ 600	V
	材料组别	符合 IEC 60664-1	I	
	过压类别 (符合 IEC 60664-1)	额定市电电压 ≤ 600 V _{RMS}	I-III	
		额定市电电压 ≤ 1000 V _{RMS}	I-II	
DIN VDE V 0884-11 : 2017-01				
V _{IORM}	最大重复峰值隔离电压	交流电压下	1060	V _{PK}
V _{IOWM}	最大额定隔离 工作电压	交流电压下 (正弦波)	750	V _{RMS}
		直流电压下	1060	V _{DC}
V _{IOTM}	最大瞬态 隔离电压	V _{TEST} = V _{IOTM} , t = 60s (鉴定测试)	7070	V _{PK}
		V _{TEST} = 1.2 × V _{IOTM} , t = 1s (100% 生产测试)	8485	
V _{IOSM}	最大浪涌 隔离电压 ⁽²⁾	采用符合 IEC 60065 的测试方法, 1.2/50 μs 波形, V _{TEST} = 1.6 × V _{IOSM} = 10000V _{PK} (鉴定测试)	6250	V _{PK}
Q _{pd}	视在电荷 ⁽³⁾	方法 a, 输入/输出安全测试子组 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60s, V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10s	≤ 5	pC
		方法 a, 环境测试子组 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60s; V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10s	≤ 5	
		方法 b1, 常规测试 (100% 量产测试) 和预调节 (类型 测试), V _{ini} = V _{IOTM} , t _{ini} = 1s; V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1s	≤ 5	
C _{IO}	势垒电容, 输入至输出 ⁽⁴⁾	V _{IO} = 0.5V _{PP} (1MHz)	~1	pF
R _{IO}	绝缘电阻, 输入至输出 ⁽⁴⁾	V _{IO} = 500V (T _A = 25°C)	> 10 ¹²	Ω
		V _{IO} = 500V (100°C ≤ T _A ≤ 125°C)	> 10 ¹¹	
		V _{IO} = 500V, T _S = 150°C	> 10 ⁹	
	污染等级		2	
	气候类别		55/125/21	
UL1577				
V _{ISO}	可承受的隔离电压	V _{TEST} = V _{ISO} = 5000V _{RMS} 或 7071V _{DC} , t = 60s (鉴定测试), V _{TEST} = 1.2 × V _{ISO} = 6000V _{RMS} , t = 1s (100% 量产测试)	5000	V _{RMS}

- 根据应用特定的设备隔离标准应用爬电距离和电气间隙要求。务必使爬电距离和电气间隙一直符合电路板设计的要求, 从而确保在印刷电路板 (PCB) 上安装隔离器焊盘时不会导致此距离缩短。在某些特定情况下, PCB 的爬电距离和电气间隙相等。在 PCB 上插入坡口、肋或两者等技术用于帮助提高这些规格。
- 在空气或油中执行测试, 以确定隔离栅的固有浪涌抗扰度。
- 视在电荷是由局部放电 (pd) 引起的电气放电。
- 将隔离栅每一侧的所有引脚都连在一起, 构成一个双引脚器件。

6.7 安全相关认证

VDE	UL
根据以下标准进行了认证：DIN VDE V 0884-11: 2017-01、DIN EN 62368-1: 2016-05、EN 62368-1: 2014 和 IEC 62368-1: 2014	在 1577 组件认证计划下进行了认证
强化绝缘	单一绝缘保护
认证正在申请中	文件编号：E181974

6.8 安全限值

安全限制⁽¹⁾旨在最大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。I/O 发生故障时会导致低电阻接地或连接到电源，如果没有限流电路，则会因为功耗过大而导致芯片过热并损坏隔离栅，甚至可能导致辅助系统出现故障。

参数		测试条件	最小值	典型值	最大值	单位
I _S	安全输入、输出或电源电流	R _{θJA} = 102.8°C/W， VDD1 = VDD2 = 5.5V， T _J = 150°C，T _A = 25°C			220	mA
		R _{θJA} = 102.8°C/W， VDD1 = VDD2 = 3.6V， T _J = 150°C，T _A = 25°C			340	
P _S	安全输入、输出或总电源	R _{θJA} = 102.8°C/W， T _J = 150°C，T _A = 25°C			1220	mW
T _S	最高安全温度				150	°C

- (1) 最高安全温度 T_S 具有与为器件指定的最大结温 T_J 相同的值。I_S 和 P_S 参数分别表示安全电流和安全功率。不要超过 I_S 和 P_S 的最大限值。这些限值会因环境温度 T_A 而异。
- 热性能信息** 表中的结至空气热阻 R_{θJA} 所属器件安装在含引线的表面贴装封装对应的高 K 测试板上。可以使用以下公式来计算各个参数的值：
- $T_J = T_A + R_{\theta JA} \times P$ ，其中 P 为器件上消耗的功率。
- $T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$ ，其中 T_{J(max)} 为最大结温。
- $P_S = I_S \times AVDD_{max} + I_S \times DVDD_{max}$ ，其中 AVDD_{max} 为最大高侧电压，而 DVDD_{max} 为最大控制器侧电源电压。

6.9 电气特性

最小值和最大值规格的适用条件为： $T_A = -40^{\circ}\text{C}$ 至 125°C ， $V_{DD1} = 3.0\text{V}$ 至 27V ， $V_{DD2} = 2.7\text{V}$ 至 5.5V ， $V_{REF} = 20\text{mV}$ 至 2.7V ⁽¹⁾ 且 $V_{IN} = -400\text{mV}$ 至 4V ⁽²⁾；典型值规格的条件为 $T_A = 25^{\circ}\text{C}$ ， $V_{DD1} = 5\text{V}$ 且 $V_{DD2} = 3.3\text{V}$ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位	
模拟输入							
I_{BIAS}	输入偏置电流	IN 引脚, $0\text{V} \leq V_{IN} \leq 4\text{V}$	2			nA	
		IN 引脚, $-400\text{mV} \leq V_{IN} \leq 0\text{V}$	-1.5				
C_{IN}	输入电容	IN 引脚	2			pF	
基准引脚							
I_{REF}	基准电流	REF 至 GND1, $20\text{mV} < V_{REF} \leq 2.7\text{V}$	98	100	102	μA	
V_{MSEL}	模式选择阈值	V_{REF} 上升	500	550	600	mV	
		V_{REF} 下降	450	500	550		
	模式选择阈值迟滞		50			mV	
比较器							
V_{IT+}	正向跳变阈值		$V_{REF} + V_{HYS}$			mV	
E_{IT+}	正向跳变阈值误差	$(V_{IT+} - V_{REF} - V_{HYS})$, $V_{REF} = 20\text{mV}$, $V_{HYS} = 4\text{mV}$	-1.2	1.2		mV	
		$(V_{IT+} - V_{REF} - V_{HYS})$, $V_{REF} = 250\text{mV}$, $V_{HYS} = 4\text{mV}$	-2.5	2.5			
		$(V_{IT+} - V_{REF} - V_{HYS})$, $V_{REF} = 2\text{V}$, $V_{HYS} = 25\text{mV}$	-5	5			
V_{IT-}	负向跳变阈值		V_{REF}			mV	
E_{IT-}	负向跳变阈值误差	$(V_{IT-} - V_{REF})$, $V_{REF} = 20\text{mV}$	-1.2	1.2		mV	
		$(V_{IT-} - V_{REF})$, $V_{REF} = 250\text{mV}$	-2.5	2.5			
		$(V_{IT-} - V_{REF})$, $V_{REF} = 2\text{V}$	-5	5			
V_{IT-}	负向跳变阈值		$-V_{REF} - V_{HYS}$			mV	
E_{IT-}	负向跳变阈值误差	$(V_{IT-} + V_{REF} + V_{HYS})$, $V_{REF} = 20\text{mV}$, $V_{HYS} = 4\text{mV}$	-1.2	1.2		mV	
		$(V_{IT-} + V_{REF} + V_{HYS})$, $V_{REF} = 250\text{mV}$, $V_{HYS} = 4\text{mV}$	-2.5	2.5			
V_{IT+}	正向跳变阈值		$-V_{REF}$			mV	
E_{IT+}	正向跳变阈值误差	$(V_{IT+} + V_{REF})$, $V_{REF} = 20\text{mV}$	-1.2	1.2		mV	
		$(V_{IT+} + V_{REF})$, $V_{REF} = 250\text{mV}$	-2.5	2.5			
V_{HYS}	跳变阈值迟滞	$(V_{IT+} - V_{IT-})$, $V_{REF} \leq 450\text{mV}$	4			mV	
		$(V_{IT+} - V_{IT-})$, $V_{REF} \geq 600\text{mV}$	25				
数字输入/输出							
V_{IH}	高电平输入电压	LATCH 引脚	$0.7 \times V_{DD2}$	$V_{DD2} + 0.3$		V	
V_{IL}	低电平输入电压	LATCH 引脚	-0.3	$0.3 \times V_{DD2}$		V	
C_{IN}	输入电容	LATCH 引脚	4			pF	
V_{OL}	低电平输出电压	$I_{SINK} = 4\text{mA}$	130			250	mV
CMTI	共模瞬态抗扰度	$ V_{IN} - V_{REF} \geq 10\text{mV}$	55			kV/ μs	

6.9 电气特性 (continued)

最小值和最大值规格的适用条件为： $T_A = -40^{\circ}\text{C}$ 至 125°C ， $V_{DD1} = 3.0\text{V}$ 至 27V ， $V_{DD2} = 2.7\text{V}$ 至 5.5V ， $V_{REF} = 20\text{mV}$ 至 2.7V ⁽¹⁾ 且 $V_{IN} = -400\text{mV}$ 至 4V ⁽²⁾；典型值规格的条件为 $T_A = 25^{\circ}\text{C}$ ， $V_{DD1} = 5\text{V}$ 且 $V_{DD2} = 3.3\text{V}$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源						
VDD1 _{UV}	VDD1 欠压检测阈值	VDD1 上升			3	V
		VDD1 下降			2.9	
VDD1 _{POR}	VDD1 上电复位阈值	VDD1 下降			2.2	V
VDD2 _{UV}	VDD2 欠压检测阈值	VDD2 上升			2.7	V
		VDD2 下降			1.9	
I _{DD1}	高侧电源电流			2.7	3.3	mA
I _{DD2}	低侧电源电流			1.8	2.2	mA

(1) 基准电压 $>1.6\text{V}$ 要求 $V_{DD1} > V_{DD1\text{MIN}}$ 。详细信息请参阅 [建议运行条件](#) 表。

(2) 但不要超过 [建议运行条件](#) 表中指定的最大输入电压。

6.10 开关特性

在工作环境温度范围内 (除非另外注明)

参数	测试条件	最小值	典型值	最大值	单位	
锁存输入						
抗尖峰脉冲时间	下降沿	1.8		3.2	μs	
开漏输出						
t_{pH}	传播延迟时间, $ V_{IN} $ 上升	VDD2 = 3.3V, $V_{REF} = 250\text{mV}$, $V_{OVERDRIVE} = 10\text{mV}$, $C_L = 15\text{pF}$		240	340	ns
t_{pL}	传播延迟时间, $ V_{IN} $ 下降	VDD2 = 3.3V, $V_{REF} = 250\text{mV}$, $V_{OVERDRIVE} = 10\text{mV}$, $C_L = 15\text{pF}$		240	340	ns
t_f	输出信号下降时间	$R_{PULLUP} = 4.7\text{k}\Omega$, $C_L = 15\text{pF}$		2		ns
模式选择						
t_{HSEL}	比较器迟滞选择抗尖峰脉冲时间	V_{REF} 上升或下降		10		μs
t_{DIS13}	比较器禁用抗尖峰脉冲时间	V_{REF} 上升		10		μs
t_{EN13}	比较器启用抗尖峰脉冲时间	V_{REF} 下降		100		μs
启动时序						
$t_{LS,STA}$	低侧启动时间	VDD2 步进至 2.7V, $V_{DD1} \geq 3.0\text{V}$		40		μs
$t_{HS,STA}$	高侧启动时间	VDD1 步进至 3.0V, $V_{DD2} \geq 2.7\text{V}$		80		μs
$t_{HS,BLK}$	高侧消隐时间			200		μs
$t_{HS,FLT}$	高侧故障检测延迟时间			100		μs

6.11 时序图

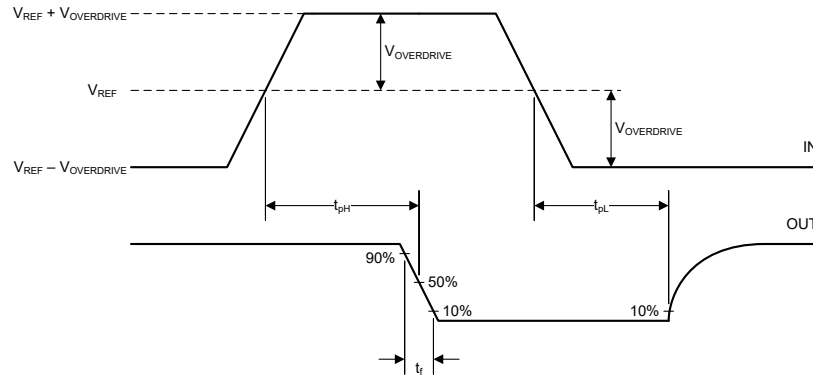


图 6-1. 上升、下降和延迟时间定义 (LATCH = 低电平)

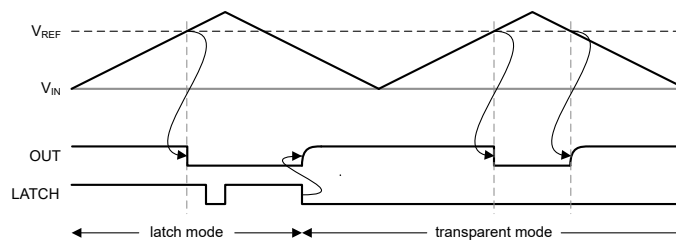


图 6-2. 功能时序图

7 详细说明

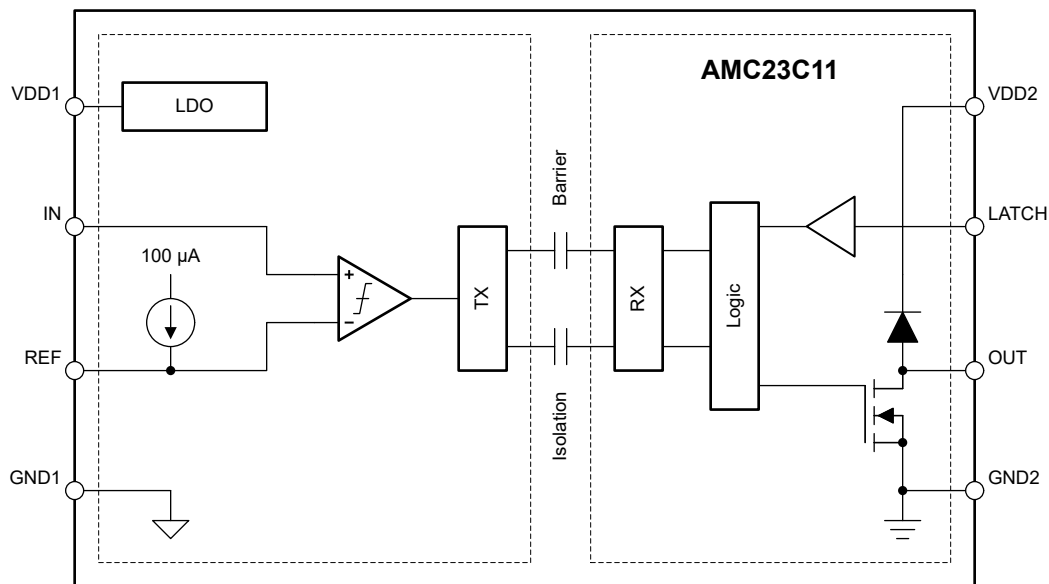
7.1 概述

当 REF 引脚上的电压大于 V_{MSEL} 时，该器件采用正比较器模式工作。此模式在监测正电压时尤其有用。负比较器 (Cmp1) 处于禁用状态，只有正比较器 (Cmp0) 正常运行。此模式中的基准电压可高达 2.7V。

AMC23C11 是一款具有开漏输出和可选锁存功能的隔离式比较器。该比较器将输入电压 (V_{IN}) 与 V_{IT+} 阈值进行比较，其中该阈值可通过一个内部生成的 $100\ \mu\text{A}$ 基准电流和一个外部电阻器在 20mV 至 3V 之间调节。当输入电压 (V_{IN}) 大于基准值 V_{REF} 时，开漏输出主动拉至低电平。 V_{IN} 降至跳变阈值以下时的行为由 LATCH 引脚决定，具体如 [开漏数字输出](#) 一节所述。

该器件高压侧与低压侧之间的电气隔离通过跨过基于 SiO_2 的增强型电容式隔离栅发送比较器状态来实现。此隔离栅支持高水平的磁场抗扰度，如 [ISO72x 数字隔离器磁场抗扰度应用报告](#) 所述。由于 AMC23C11 采用数字调制方案来跨过隔离栅发送数据，另外再加上隔离栅的自身特性，该器件具有高可靠性和共模瞬态抗扰度。

7.2 功能方框图



7.3 特性说明

7.3.1 模拟输入

当输入电压 (V_{IN}) 上升到 V_{IT+} 阈值以上时, 该比较器会发生跳变, 其中该阈值被定义为基准值加上内部迟滞电压。当 V_{IN} 降至 V_{IT-} 阈值以下时, 该比较器会释放, 其中该阈值等于基准值。

V_{IT+} 与 V_{IT-} 之间的差值被称为 *比较器迟滞*, 对于小于 450mV 的基准电压, 该差值为 4mV。由于存在集成迟滞, AMC23C11 对输入噪声不那么敏感, 无需添加外部正反馈来产生迟滞, 即可在高噪声环境中稳定工作。当基准值 (V_{REF}) 大于 600mV 时, 迟滞会增加到 25mV。更多详细信息, 请参阅 [基准输入](#) 说明。

图 7-1 展示了迟滞与开关阈值之间关系的时序图。

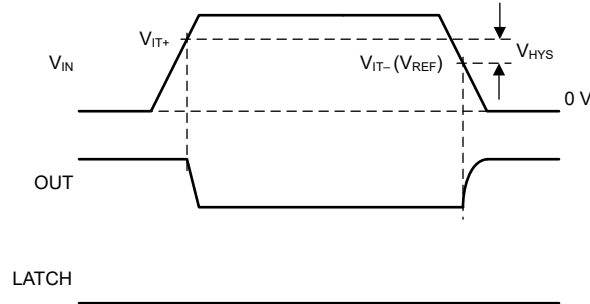


图 7-1. 开关阈值与迟滞

7.3.2 基准输入

REF 引脚上的电压决定比较器的跳变阈值。内部精密电流源会强制 $100\ \mu\text{A}$ 的电流流过从 REF 引脚连接到 GND1 的外部电阻器。电阻器上的对应电压 (V_{REF}) 等于跳变阈值; 请参阅图 7-1。将一个 100nF 电容器与电阻器并联放置, 以对基准电压进行滤波。此电容器必须在上电期间使用 $100\ \mu\text{A}$ 电流源充电, 而充电时间可能超过高侧消隐时间 ($t_{HS,BLK}$)。在这种情况下, 如图 7-2 所示, 比较器可能会在高侧消隐时间过期后输出错误的状态, 直到 V_{REF} 达到最终值。有关上电行为的更多详细信息, 请参阅 [上电和断电行为](#) 一节。

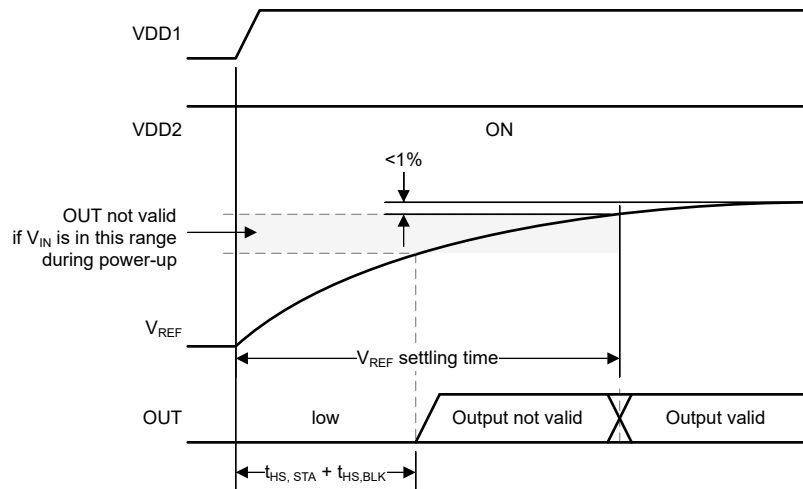


图 7-2. 导致基准电压长建立时间的输出行为

该基准引脚可由外部电压源驱动以在工作期间更改比较器阈值。不过, 在正常工作期间, 不要动态驱动 V_{REF} 越过 V_{MSEL} 阈值, 因为这样做会改变比较器的迟滞, 并导致输出意外切换。

图 7-3 显示了模式选择时序图。

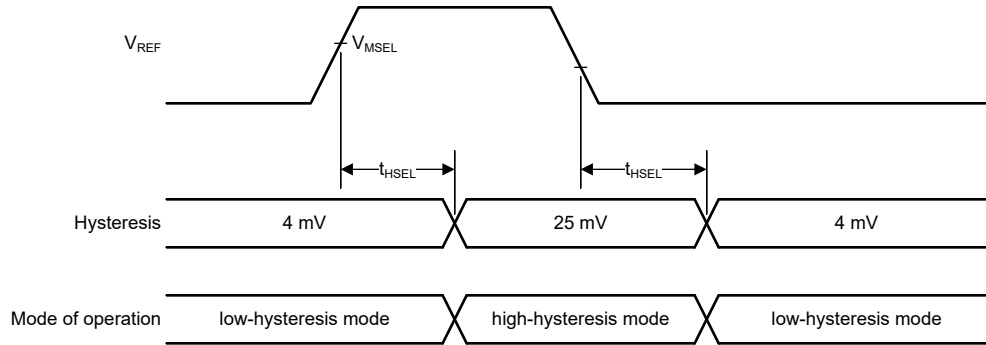


图 7-3. 模式选择

7.3.3 隔离通道信号传输

AMC23C11 使用开关键控 (OOK) 调制方案 (如图 7-4 所示), 跨过基于 SiO_2 的隔离栅来传输比较器输出状态。
功能方框图所示发送驱动器 (TX) 跨过隔离栅发送一个内部生成的高频载波来表示数字一, 不发送信号则指示数字零。

隔离栅另一端的接收器 (RX) 会恢复并解调信号, 然后向驱动开漏输出缓冲器的逻辑提供数据。AMC23C11 传输通道经过优化, 可实现最高的共模瞬态抗扰度 (CMTI) 和最小的辐射发射 (高频载波和 RX/TX 缓冲器开关所致)。

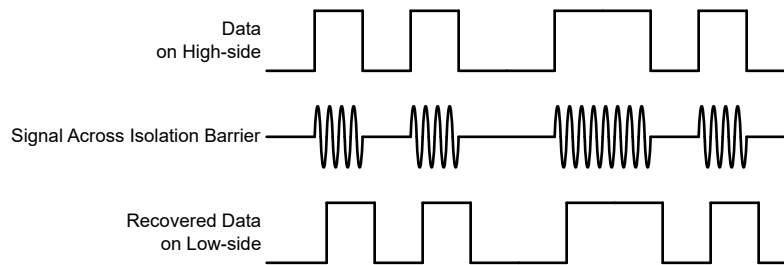


图 7-4. 基于 OOK 的调制方案

7.3.4 开漏数字输出

AMC23C11 提供了一个具有可选锁存功能的开漏输出。当 V_{IN} 超过由 REF 引脚电压定义的阈值时，该输出主动拉至低电平，具体请参阅图 7-1。

开漏输出通过二极管连接到 VDD2 电源（请参阅 [功能方框图](#)），因此，在较大的电流开始流向 OUT 引脚前，不能将该输出拉高到超过 VDD2 电源 500mV。特别是，如果 VDD2 为 GND2 电平，该开漏输出会被钳位至一个高于地的二极管电压。这种行为由图 7-5 至图 7-10 中的灰色阴影表示。

7.3.4.1 透明输出模式

当 LATCH 引脚被拉至低电平时，器件被设置为透明模式，从而允许输出状态发生变化并跟随输入信号相对于编程跳变阈值的情况。例如，当输入信号上升到跳变阈值以上时，OUT 引脚会被拉至低电平。当输入信号降至跳变阈值以下时，输出会返回到默认的高电平输出状态。在透明模式下使用该器件的一个常见实现是将 OUT 引脚连接到控制器上的硬件中断输入。一旦器件检测到存在超出范围的情况并且 OUT 引脚被拉至低电平，控制器中断端子会检测到输出状态变化并开始更改系统工作情况来解决超出范围问题。

7.3.4.2 锁存输出模式

一些应用不具备通过持续检测 OUT 引脚状态来检测过流状况的能力。此应用的典型示例是，系统仅能够定期轮询 OUT 端子状态来确定该系统是否正常运行。在此类应用中将器件设置为透明模式后，如果超出范围的情况未在定期轮询期间出现，则可能会错过 OUT 引脚的状态变化。

锁存模式专用于此类应用。通过将 LATCH 端子上的电压设置为逻辑高电平，可将该器件置于锁存模式。锁存模式和透明模式之间的区别在于，输出在超出范围事件结束时的响应方式不同。在透明模式中，当输入信号降至跳变阈值以下时，输出状态会返回默认高电平设置，以指示超出范围事件已结束。

在锁存模式下，检测到超出范围事件且 OUT 引脚被拉至低电平后，如果输入信号降至跳变阈值电平以下，则 OUT 引脚不会恢复到默认的高电平状态。若要清除该事件，必须将 LATCH 端子拉至低电平，并至少持续 4 μ s。只有输入信号降至跳变阈值以下，通过将 LATCH 引脚拉至低电平，OUT 引脚可以返回到默认的高电平状态。如果将 LATCH 引脚拉至低电平时输入信号仍高于阈值，则 OUT 端子会保持低电平。当系统控制器检测到超出范围事件时，LATCH 引脚可以恢复到高电平状态，以使器件恢复到锁存模式。

7.3.5 上电和断电行为

当低侧电源 (VDD2) 开启时, 开漏输出以高阻抗状态 (高阻态) 上电。上电后, 如果高侧还未正常运行, 输出会主动拉至低电平。这种情况在低侧启动时间加上高侧故障检测延迟时间 ($t_{LS,STA} + t_{HS,FLT}$) 之后发生, 如图 7-5 所示。类似地, 如果正常工作期间高侧电源电压降至欠压阈值 (VDD1_{UV}) 以下并且持续时间超过高侧故障检测延迟时间, 则开漏输出被拉至低电平, 如图 7-8 所示。此延迟让系统能够在高侧电源缺失时可靠地关断。

比较器高侧和低侧之间的通信具有一定的延迟, 即高侧消隐时间 ($t_{HS,BLK}$, 在高压侧实现的时间常数), 以便内部 300mV 基准和 REF 引脚的电压能够建立, 同时避免在上电期间意外切换比较器输出。

图 7-5 至图 7-10 展示了典型的上电和断电情况。

在图 7-5 中, 低侧电源 (VDD2) 开启, 但高侧电源 (VDD1) 保持关闭。输出以高阻态上电。经过 $t_{HS,FLT}$ 后, OUT 被拉至低电平, 指示高侧出现无电源故障。

在图 7-6 中, 高侧电源 (VDD1) 在低侧电源 (VDD2) 开启很长时间后开启。输出最初处于低电平有效状态; 请参阅实例 (1)。在高侧电源启用后, 需要保持一段时间 ($t_{HS,STA} + t_{HS,BLK}$), 器件才会正常运行, 并且输出会反映比较器的当前状态。

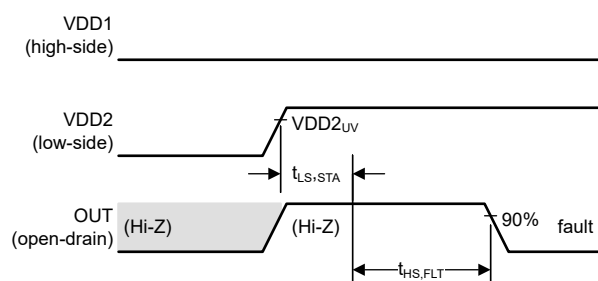


图 7-5. VDD2 开启且 VDD1 保持关闭

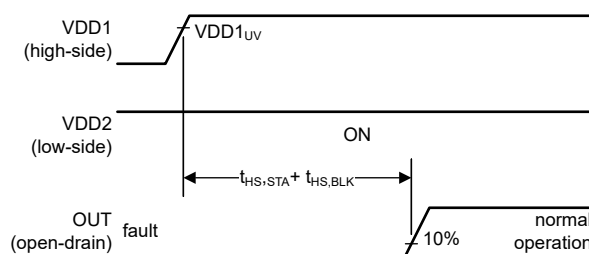


图 7-6. VDD2 保持开启; VDD1 开启 (长延迟)

在图 7-7 中, 低侧电源 (VDD2) 开启, 然后在短暂延迟后, 高侧电源 (VDD1) 开启。输出最初处于高阻态。高侧故障检测延迟 ($t_{HS,FLT}$) 短于高侧消隐时间 ($t_{HS,BLK}$), 因此在经过 $t_{HS,FLT}$ 后, 输出被拉至低电平, 指示高侧还未正常工作。经过高侧消隐时间 ($t_{HS,BLK}$) 后, 器件才会正常运行, 并且输出会反映比较器的当前状态。

在图 7-8 中, 高侧电源 (VDD1) 关闭, 接着低侧电源 (VDD2) 关闭。经过高侧故障检测延迟时间 ($t_{HS,FLT}$) 后, 输出主动拉至低电平。一旦 VDD2 降至 VDD2_{UV} 阈值以下, 输出便会进入高阻态。

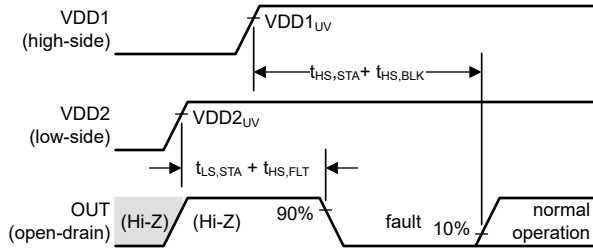


图 7-7. VDD2 和 VDD1 先后开启 (短暂延迟)

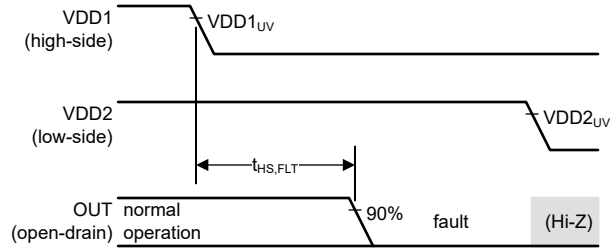


图 7-8. VDD1 和 VDD2 先后关闭

在图 7-9 中，低侧电源 (VDD2) 会在高侧完全上电后 (VDD1 与 VDD2 之间的延迟大于 $(t_{HS,STA} + t_{HS,BLK})$) 开启。经过低侧启动时间 ($t_{LS,STA}$) 后，器件会进入正常工作状态。

在图 7-10 中，低侧电源 (VDD2) 会关闭，接着高侧电源 (VDD1) 会关闭。一旦 VDD2 降至 $VDD2_{UV}$ 阈值以下，输出会进入高阻态。

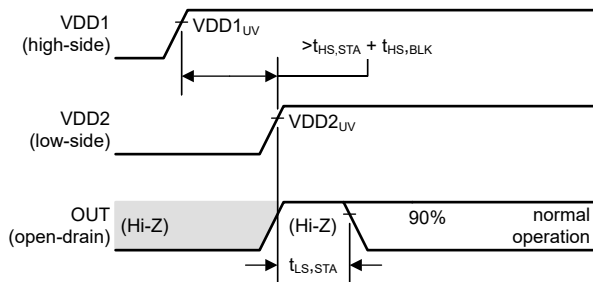


图 7-9. VDD1 和 VDD2 先后开启 (长延迟)

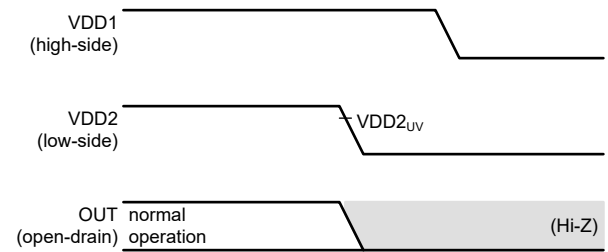


图 7-10. VDD2 和 VDD1 先后关闭

7.3.6 VDD1 欠压和失去电源行为

欠压是指这样一种情况：VDD1 电源电压降至规定的工作电压范围以下，但器件仍工作正常。失去电源是指这样一种情况：VDD1 电源电压降至某个电平以下，此时器件将停止工作。根据持续时间和电压电平，在器件的输出端可能会也可能不会注意到欠压情况。失去电源情况则始终会体现在隔离比较器的输出端。

图 7-11 至图 7-13 显示了典型的欠压和失去电源情况。

在图 7-11 中，VDD1 降至欠压检测阈值 ($VDD1_{UV}$) 以下，但在高侧故障检测延迟时间 ($t_{HS,FLT}$) 过期之前恢复正常。该欠压事件对比较器输出没有影响。

在图 7-12 中，VDD1 降至欠压检测阈值 ($VDD1_{UV}$) 以下并且持续时间超过高侧故障检测延迟时间 ($t_{HS,FLT}$)。欠压情况被检测为故障，同时在经过 $t_{HS,FLT}$ 的延迟后，输出会被拉至低电平。一旦 VDD1 恢复到 $VDD1_{UV}$ 阈值以上，器件就会恢复正常工作。

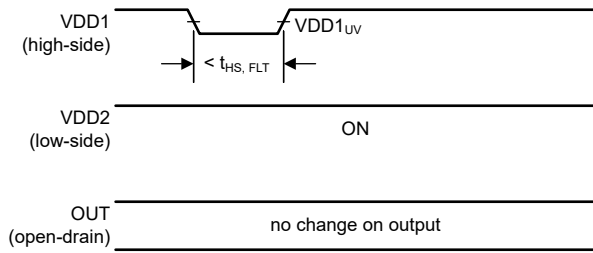


图 7-11. VDD1 上短暂欠压事件的输出响应

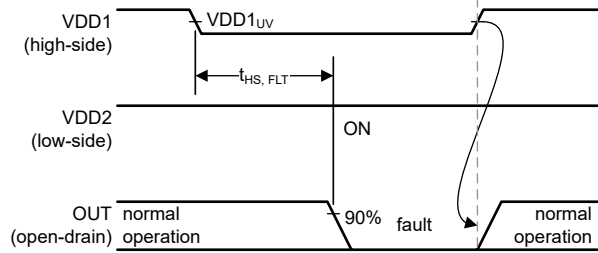


图 7-12. VDD1 上较长欠压事件的输出响应

在图 7-13 中，VDD1 降至上电复位 (POR) 阈值 ($VDD1_{POR}$) 以下。失去电源情况被检测为故障，同时在经过 $t_{HS,FLT}$ 延迟后，输出会被拉至低电平。VDD1 恢复到 $VDD1_{UV}$ 阈值以上后，器件会在经过 $t_{HS,STA} + t_{HS,BLK}$ 延迟后恢复正常运行。

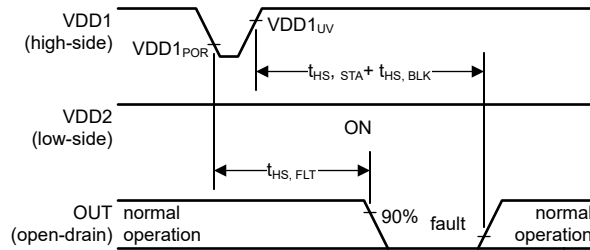


图 7-13. VDD1 上失去电源事件的输出响应

7.4 器件功能模式

施加电源电压 VDD1 和 VDD2 时，AMC23C11 器件可正常运行，如 [建议运行条件](#) 表中所述。

REF 引脚上的电压会影响比较器的阈值。当基准电压低于 V_{MSEL} 阈值时，比较器采用低迟滞模式工作。当基准电压高于 V_{MSEL} 阈值时，比较器采用高迟滞模式工作，如 [基准输入](#) 一节中所述。

该器件具有透明模式和锁存模式这两种输出工作模式，具体根据 LATCH 输入引脚设置来选择。这两个模式会影响 OUT 引脚对输入信号条件变化的响应方式。详细信息，请参阅 [开漏数字输出](#) 一节。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

AMC23C11 具有快速响应时间、高共模瞬态抗扰度 (CMTI) 和增强型隔离栅，能够在恶劣和嘈杂的环境中为高压应用提供快速可靠的过流和过压检测功能。

8.2 典型应用

8.2.1 直流链路过流检测

直流链路过流检测是直流/直流转换器和电机驱动设计的一项常见要求。尽管直流/直流转换器的电感器电流检测或电机驱动器的相电流检测通常用于控制目的，但仅依靠相电流检测还不足以检测所有可能的过流状况（例如，功率级中的击穿或 DC+ 和 DC- 接地短路）。若要实现直流链路过流检测，一种较为全面的方法是监测 DC+ 和 DC- 线路中的电流。如图 8-1 所示，这种检测可通过监测两个分流电阻器上的压降来实现。

流过分流电阻器 R10 的 DC+ 负载电流会产生压降，该压降由 AMC23C11 进行监测。当 R10 上的压降超过由外部电阻器 R11 设置的基准值时，比较器会发生跳变，指示开漏输出 OUT 上发生了过流事件。

流过分流电阻器 R20 的 DC- 负载电流会产生压降，该压降由另一个 AMC23C11 进行监测。当 R20 上的压降超过由外部电阻器 R21 设置的基准值时，比较器会发生跳变，指示开漏输出 OUT 上发生了过流事件。

两个 AMC23C11 比较器的开漏输出短接在一起，产生一个发送至微控制器单元 (MCU) 的警报信号。类似地，两个 LATCH 信号连接在一起，并可通过来自 MCU 的单个 GPIO 引脚进行控制。

DC+ 侧的隔离式比较器要求采用以 DC+ 电势为基准的高侧电源。一种低成本的解决方案基于推挽驱动器 SN6501 和支持所需隔离电压额定值的变压器。AMC23C11 高侧上的集成式低压降 (LDO) 稳压器支持将 VDD1 引脚直接连接到变压器输出，无需对变压器输出电压进行进一步预调节。

DC- 侧的隔离式比较器要求采用以 DC- 电势为基准的高侧电源。一种常见的解决方案是通过低侧栅极驱动器电源（如图 8-1 所示）或任何其他以 DC- 为基准的电压电源为隔离式比较器供电。AMC23C11 高侧上的集成式低压降 (LDO) 稳压器支持宽输入电压范围，并显著简化了电源设计。

快速响应时间和高共模瞬态抗扰度 (CMTI) 确保 AMC23C11 即便在高噪声环境中，也能可靠、准确地工作。

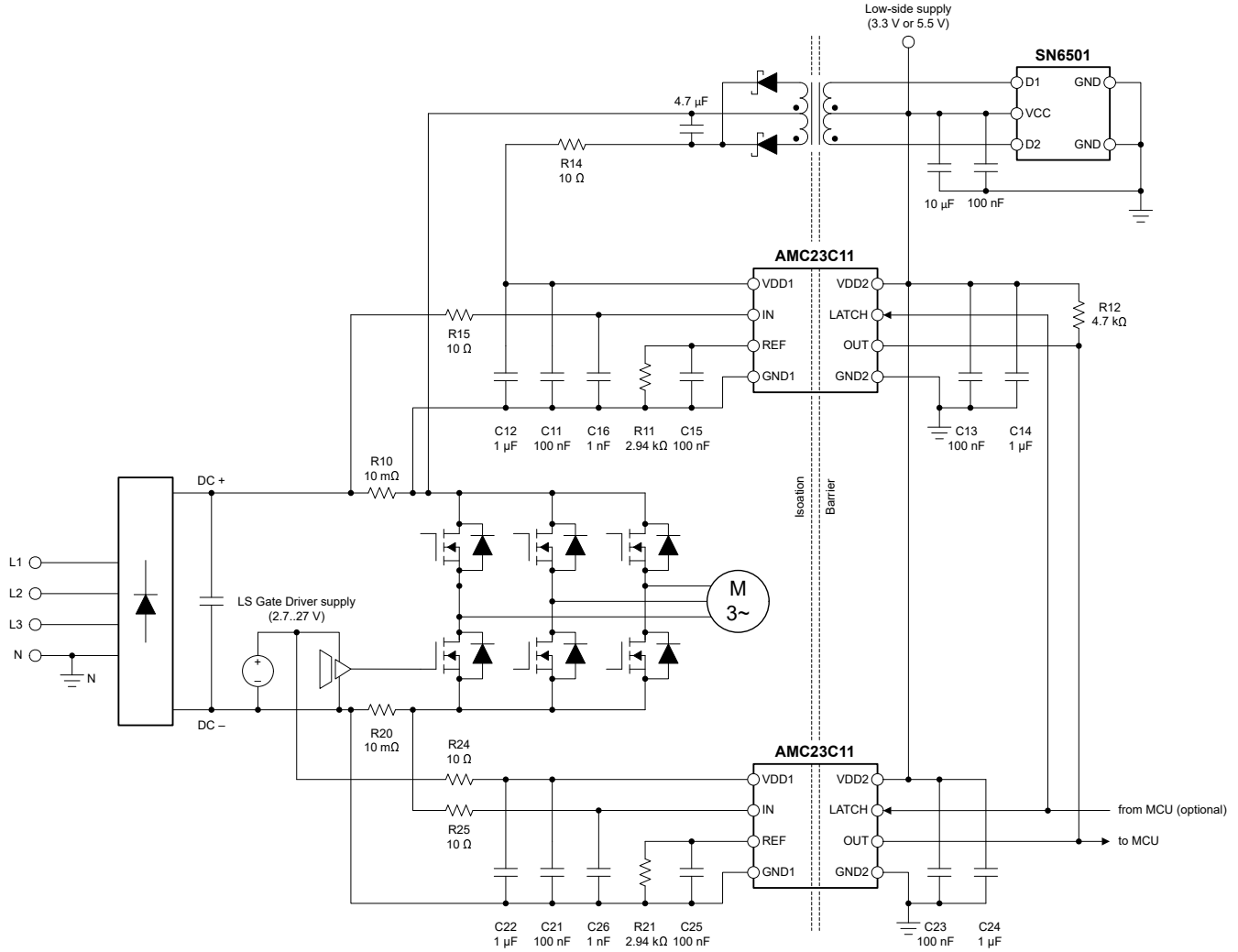


图 8-1. 利用 AMC23C11 进行 DC+ 和 DC- 过流检测

8.2.1.1 设计要求

表 8-1 列出了图 8-1 中所含应用示例的各项参数。

表 8-1. 设计要求

参数	值
高侧电源电压	3V 至 27V
低侧电源电压	2.7V 至 5.5V
分流电阻器值	10mΩ
过流检测阈值	30A

8.2.1.2 详细设计过程

本例中，分流电阻器 (R10 和 R20) 的值为 $10\text{m}\Omega$ 。在所需的 30A 过流检测电平条件下，分流电阻器上的压降为 $10\text{m}\Omega \times 30\text{A} = 300\text{mV}$ 。比较器的正向跳变阈值为 $V_{\text{REF}} + V_{\text{HYS}}$ ，其中 V_{HYS} 为 4mV (如 [电气特性](#) 表中所述)，而 V_{REF} 为 REF 与 GND1 引脚之间所连 R11 (或 R12，相应地) 上的电压。R11 和 R12 的计算方式为 $(V_{\text{TRIP}} - V_{\text{HYS}}) / I_{\text{REF}} = (300\text{mV} - 4\text{mV}) / 100\ \mu\text{A} = 2.96\text{k}\Omega$ 。E96 系列 (精度 1%) 的下一个较小值为 $2.94\text{k}\Omega$ ，因此过流跳变阈值 (上升) 为 29.8A 。

比较器的输入端放置了一个 $10\ \Omega$ 、 1nF RC 滤波器 (分别为 R15、C16 和 R25、C26)，用于过滤输出信号并降低噪声敏感度。该滤波器会增加 $10\ \Omega \times 1\text{nF} = 10\text{ns}$ 的传播延迟，在计算保护电路的总体响应时间时，必须考虑到这一延迟。如果系统可以承受额外的延迟，那么最好使用较大的滤波常数，以增加噪声抗扰度。

表 8-2 汇总了该设计的主要参数。

表 8-2. 过流检测设计示例

参数	值
基准电阻值 (R11、R21)	$2.94\text{k}\Omega$
基准电容值 (C15、C25)	100nF
基准电压	$296\ \text{mV}$
基准电压建立时间 (达到最终值的 90%)	$690\ \mu\text{s}$
过流跳变阈值 (上升)	$298\text{mV}/29.8\text{A}$
过流跳变阈值 (下降)	$294\text{mV}/29.4\text{A}$

8.3 必做事项和禁止事项

检测电阻低侧与 AMC23C11 GND1 引脚之间应保持较短的低阻抗连接。只要接地线存在任何压降，就会导致比较器输入端检测到的电压出现误差，进而导致跳变阈值不准确。

为了最大限度地提高瞬态噪声抗扰度，应将滤波电容器 C5 尽可能靠近 REF 引脚放置，如图 10-1 所示。

不要在 REF 引脚偏置接近 V_{MSEL} 阈值 (450mV 至 600mV 范围) 时使用该器件，以避免比较器迟滞出现动态切换，如 [基准输入](#) 部分所述。

AMC23C11 提供了有限的 200 μ s 消隐时间 ($t_{HS,BLK}$)，从而在启动期间建立基准电压 (V_{REF})。对于众多应用而言，基准电压建立所需的时间都要超过 200 μ s 消隐时间，这时比较器的输出可能会在系统启动期间出现毛刺，如图 7-2 所示。整体系统启动设计中需要考虑基准电压建立时间。

9 电源相关建议

AMC23C11 无需任何具体的上电时序。高侧电源 (VDD1) 通过与低 ESR、1 μ F 电容器 (C2) 并联的低 ESR、100nF 电容器 (C1) 进行去耦。低侧电源 (VDD2) 同样通过与低 ESR、1 μ F 电容器 (C4) 并联的低 ESR、100nF 电容器 (C3) 进行去耦。这四个电容器 (C1、C2、C3 和 C4) 都应尽可能靠近器件放置。图 9-1 展示了 AMC23C11 的去耦示意图。

对于高 VDD1 电源电压 (>5.5V)，可将 VDD1 电源与一个 10 Ω 电阻器 (R4) 串联在一起以提供额外滤波。

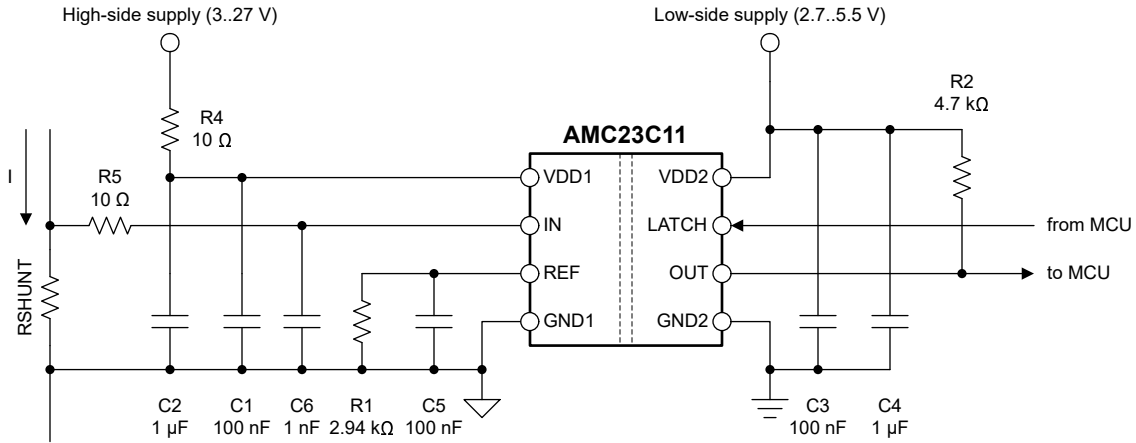


图 9-1. 去耦 AMC23C11

在应用中出现的适用直流偏置条件下，电容器必须能够提供足够的有效电容。在实际条件下，通常仅使用多层陶瓷电容器 (MLCC) 标称电容的一小部分，因此在选择这些电容器时，必须考虑到这个因素。此问题在低厚度电容器中尤为严重，在该类电容器中，电容器越薄，电介质电场强度越大。知名电容器制造商提供了电容与直流偏置关系曲线，这大大简化了元件选型。

10 布局

10.1 布局指南

图 10-1 给出了布局建议，其中说明了去耦电容器的关键布局 (尽可能靠近 AMC23C11 电源引脚放置) 以及器件所需的其他组件的放置方式。

10.2 布局示例

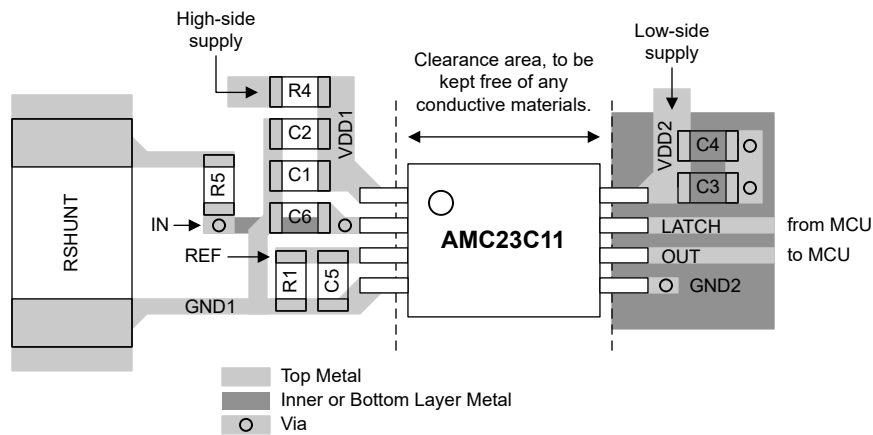


图 10-1. 建议布局 AMC23C11

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI), [隔离相关术语 应用报告](#)
- 德州仪器 (TI), [半导体和 IC 封装热指标 应用报告](#)
- 德州仪器 (TI), [ISO72x 数字隔离器磁场抗扰度 应用报告](#)
- 德州仪器 (TI), [SN6501 用于隔离电源的变压器驱动器 数据表](#)
- 德州仪器 (TI), [隔离放大器电压感测 Excel 计算器 设计工具](#)

11.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [《使用条款》](#)。

11.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

11.5 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

11.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
AMC23C11DWV	ACTIVE	SOIC	DWV	8	64	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	MC23C11	Samples
AMC23C11DWVR	ACTIVE	SOIC	DWV	8	1000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	MC23C11	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

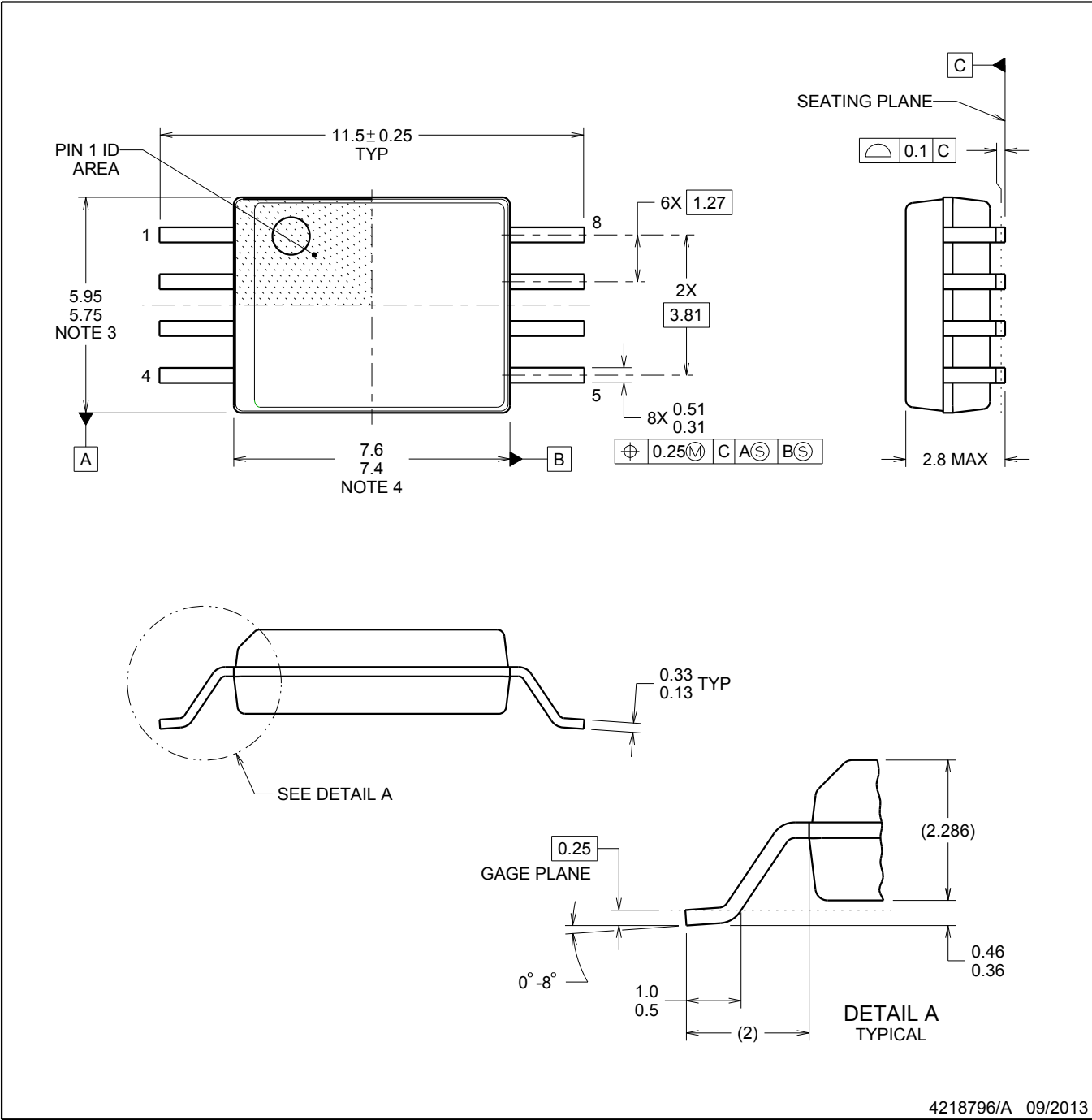
PACKAGE OUTLINE

DWV0008A



SOIC - 2.8 mm max height

SOIC



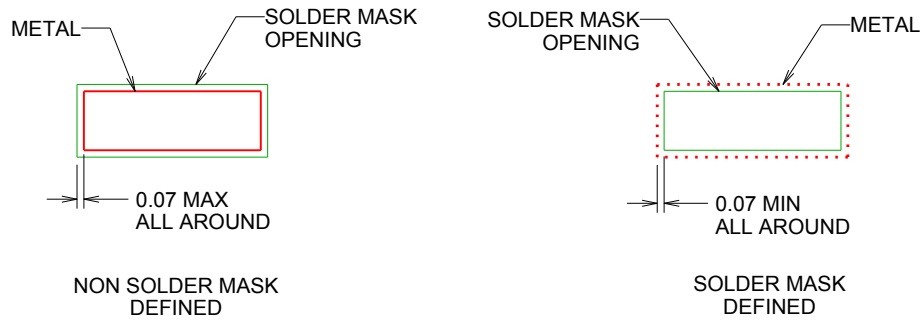
4218796/A 09/2013

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
 9.1 mm NOMINAL CLEARANCE/CREEPAGE
 SCALE:6X

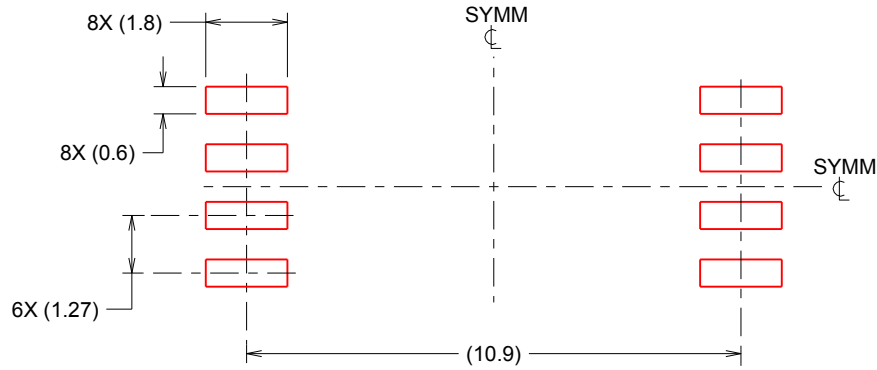


SOLDER MASK DETAILS

4218796/A 09/2013

NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE:6X

4218796/A 09/2013

NOTES: (continued)

- 7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 8. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司