

MSPM0L110x 混合信号微控制器

1 特性

- 内核
 - Arm® 32 位 Cortex®-M0+ CPU，频率高达 32MHz
- 工作特性
 - 工作温度范围：-40°C 至 105°C
 - 宽电源电压范围：1.62V 至 3.6V
- 存储器
 - 高达 64KB 的闪存
 - 4KB SRAM
- 高性能模拟外设
 - 一个具有总计多达 10 个外部通道的 12 位 1.45Msps 模数转换器 (ADC)
 - 可配置的 1.4V 或 2.5V 内部 ADC 电压基准 (VREF)
 - 一个通用放大器 (GPAMP)
 - 集成温度传感器
- 经优化的低功耗模式
 - 运行：96µA/MHz (CoreMark)
 - 停止：4MHz 时为 200µA，32kHz 时为 45µA
 - 待机：1.1µA (SRAM 处于保持模式)
 - 关断：83nA，具有 IO 唤醒能力
- 智能数字外设
 - 3 通道 DMA 控制器
 - 四个 16 位通用计时器，每个计时器具有两个捕捉/比较寄存器，支持待机模式下的低功耗运行，总共支持 8 个 PWM 通道
 - 窗口化看门狗计时器
- 增强型通信接口
 - 两个 UART 接口；一个支持 LIN、IrDA、DALI、Smart Card、Manchester 并且都支持待机模式下的低功耗运行
 - 一个 I²C 接口支持 FM+ (1Mbit/s)、SMBus、PMBus 和从停止模式唤醒
 - 一个 SPI 支持高达 16Mbit/s

- 时钟系统
 - 精度高达 ±1% 的内部 4MHz 至 32MHz 振荡器 (SYSOSC)
 - 内部 32kHz 低频振荡器 (LFOSC)
- 数据完整性
 - 循环冗余校验器 (CRC-16 或 CRC-32)
- 灵活的 I/O 功能
 - 多达 28 个 GPIO
 - 两个 5V 容限开漏 IO
- 开发支持
 - 2 引脚串行线调试 (SWD)
- 封装选项
 - 32 引脚 VQFN (RHB)
 - 28 引脚 VSSOP (DGS)
 - 24 引脚 VQFN (RGE)
 - 20 引脚 VSSOP (DGS)
 - 16 引脚 SOT (DYY)、WQFN (RTR)¹
- 系列成员 (另请参阅 [器件比较](#))
 - MSPM0L1105：32KB 闪存、4KB RAM
 - MSPM0L1106：64KB 闪存、4KB RAM
- 开发套件与软件 (另请参阅 [工具与软件](#))
 - LP-MSPM0L1306 LaunchPad™ 开发套件
 - MSP 软件开发套件 (SDK)

2 应用

- 电池充电和管理
- 电源和电力输送
- 个人电子产品
- 楼宇安防与防火安全
- 联网外设和打印机
- 电网基础设施
- 智能抄表
- 通信模块
- 医疗和保健
- 照明

¹ 16 引脚 WQFN 封装为产品预发布状态。



3 说明

MSPM0L110x 微控制器 (MCU) 属于 MSP 高度集成的超低功耗 32 位 MCU 系列，该 MCU 系列基于增强型 Arm® Cortex®-M0+ 内核平台，工作频率最高可达 32MHz。这些低成本 MCU 提供高性能模拟外设集成，支持 -40°C 至 105°C 的工作温度范围，并在 1.62V 至 3.6V 的电源电压下运行。

MSPM0L110x 器件提供高达 64KB 的嵌入式闪存程序存储器和 4KB 的 SRAM。这些 MCU 包含精度高达 ±1% 的高速片上振荡器，无需外部晶体。其他特性包括 3 通道 DMA、16 位和 32 位 CRC 加速器，以及各种高性能模拟外设，例如一个具有可配置内部电压基准的 12 位 1.45MSPS ADC、一个通用放大器和一个片上温度传感器。这些器件还提供智能数字外设，例如四个 16 位通用计时器、一个窗口化看门狗计时器和各种通信外设 (包括两个 UART、一个 SPI 和一个 I²C)。这些通信外设为 LIN、IrDA、DALI、Manchester、Smart Card、SMBus 和 PMBus 提供协议支持。

TI MSPM0 系列低功耗 MCU 包含具有不同模拟和数字集成度的器件，可让客户找到满足其工程需求的 MCU。此架构结合了多种低功耗模式，并经过优化，可在便携式测量应用中延长电池寿命。

MSPM0L110x MCU 由广泛的硬件和软件生态系统提供支持，随附参考设计和代码示例，便于您快速开始设计。开发套件包括可供购买的 LaunchPad™ 套件和适用于目标插座板的设计文件。TI 还提供免费的 MSP 软件开发套件 (SDK)，该套件在 TI Resource Explorer 中作为 Code Composer Studio™ IDE 桌面版和云版组件提供。MSPM0 MCU 还通过 MSP Academy 提供广泛的在线配套资料、培训，并通过 TI E2E™ 支持论坛提供在线支持。

有关完整的模块说明，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#)。

CAUTION

系统级静电放电 (ESD) 保护必须符合器件级 ESD 规范，以防发生电气过载或对数据或代码存储器造成干扰。有关更多信息，请参阅 [MSP430™ 系统级 ESD 注意事项](#)，因为该应用手册中的准则也适用于 MSPM0 MCU。

4 功能方框图

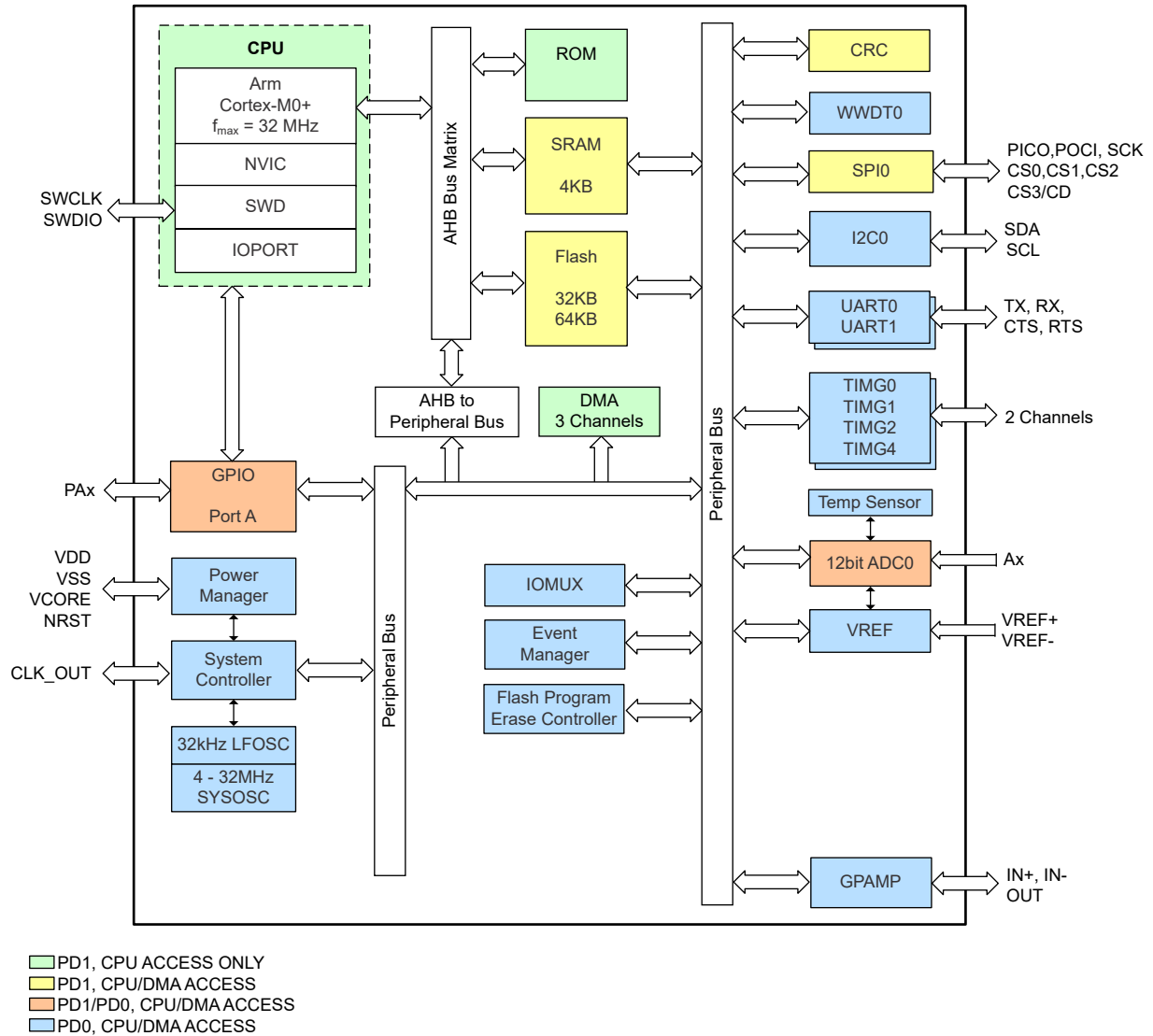


图 4-1. MSPM0L110x 功能方框图

ADVANCE INFORMATION

内容

1 特性	1	8.4 时钟模块 (CKM).....	31
2 应用	1	8.5 DMA.....	31
3 说明	2	8.6 事件.....	32
4 功能方框图	3	8.7 存储器.....	32
5 器件比较	5	8.8 闪存存储器.....	34
6 引脚配置和功能	6	8.9 SRAM.....	34
6.1 引脚图.....	6	8.10 GPIO.....	34
6.2 引脚属性.....	7	8.11 IOMUX.....	35
6.3 信号说明.....	9	8.12 ADC.....	35
6.4 未使用引脚的连接.....	12	8.13 温度传感器.....	35
7 规格	13	8.14 VREF.....	35
7.1 绝对最大额定值.....	13	8.15 GPAMP.....	36
7.2 ESD 等级.....	13	8.16 CRC.....	36
7.3 建议运行条件.....	13	8.17 UART.....	36
7.4 热性能信息.....	14	8.18 SPI.....	37
7.5 电源电流特性.....	14	8.19 I2C.....	37
7.6 电源定序.....	15	8.20 WWDT.....	37
7.7 闪存特性.....	17	8.21 计时器 (TIMx).....	37
7.8 计时特性.....	18	8.22 器件模拟连接.....	39
7.9 时钟规范.....	18	8.23 输入/输出图.....	40
7.10 数字 IO.....	19	8.24 引导加载程序 (BSL).....	40
7.11 模拟多路复用器 VBOOST.....	21	8.25 串行线调试接口.....	41
7.12 ADC.....	21	8.26 器件出厂常量.....	41
7.13 温度传感器.....	23	8.27 识别.....	42
7.14 VREF.....	23	9 应用、实现和布局	43
7.15 GPAMP.....	24	9.1 典型应用.....	43
7.16 I2C.....	25	10 器件和文档支持	45
7.17 SPI.....	26	10.1 器件命名规则.....	45
7.18 UART.....	27	10.2 工具与软件.....	46
7.19 TIMx.....	28	10.3 支持资源.....	46
7.20 仿真和调试.....	28	10.4 商标.....	46
8 详细说明	29	10.5 静电放电警告.....	46
8.1 CPU.....	29	10.6 术语表.....	47
8.2 操作模式.....	29	11 机械、封装和可订购信息	48
8.3 电源管理单元 (PMU).....	31	12 修订历史记录	69

5 器件比较

表 5-1. 器件比较

器件名称 ^{(1) (4)}	闪存/SRAM (KB)	鉴定 ⁽²⁾	ADC 通道数	GPAMP	UART/I2C/SPI	TIMG	GPIO	5V 容限 IO	封装 [封装尺寸] ⁽³⁾
MSPM0L1106xRHB	64/4	T	10	1	2/1/1	4	28	2	32 引脚 VQFN [5mm × 5mm]
MSPM0L1105xRHB	32/4								
MSPM0L1106xDGS28	64/4	T	10	1	2/1/1	4	24	2	28 引脚 VSSOP [7.1mm × 3mm]
MSPM0L1105xDGS28	32/4								
MSPM0L1106xRGE	64/4	T	9	1	2/1/1	4	20	2	24 引脚 VQFN [4mm × 4mm]
MSPM0L1105xRGE	32/4								
MSPM0L1106xDGS20	64/4	T	8	1	2/1/1	4	17	2	20 引脚 VSSOP [5.1mm × 3mm]
MSPM0L1105xDGS20	32/4								
MSPM0L1106xRTR ⁽⁵⁾	64/4	T	6	1	2/1/1	4	13	2	16 引脚 WQFN [3mm × 2mm]
MSPM0L1105xRTR ⁽⁵⁾	32/4								
MSPM0L1106xDYY	64/4	T	6	1	2/1/1	4	13	2	16 引脚 SOT [4.2mm × 2mm]
MSPM0L1105xDYY	32/4								

(1) 如需所有在售产品的最新器件、封装和订购信息，请参阅节 11 中的 *封装选项附录*，或浏览 [TI 网站](#)。

(2) 器件鉴定：

- T = -40°C 至 105°C

(3) 这里显示的尺寸为近似值。如需包含容差的封装尺寸，请参阅节 11 中的 *机械数据*。

(4) 有关器件名称的更多信息，请参阅节 10.1。

(5) 16 引脚 WQFN 封装为产品预发布状态。

6 引脚配置和功能

6.1 引脚图

- Power
- Reset
- High-Speed I/O (HSIO)
- 5-V Tolerant Open-Drain I/O (ODIO)

图 6-1. 引脚图颜色编码

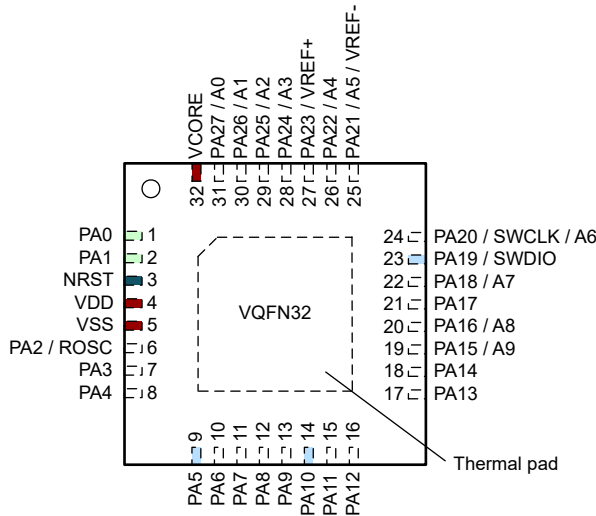


图 6-2. 32 引脚 RHB (VQFN) (俯视图)

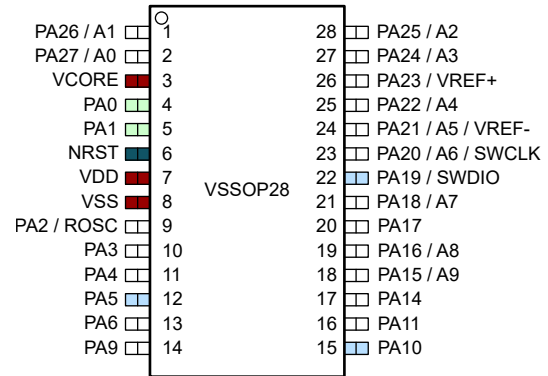


图 6-3. 28 引脚 DGS28 (VSSOP) (俯视图)

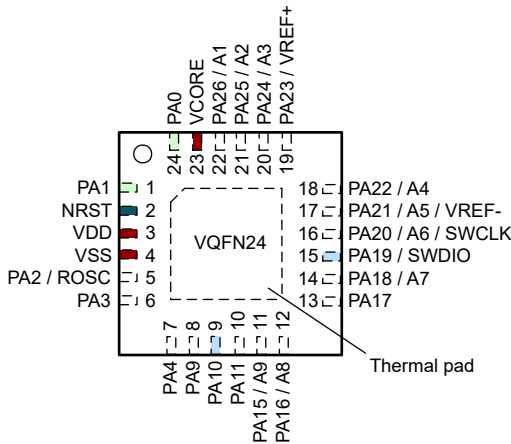


图 6-4. 24 引脚 RGE (VQFN) (俯视图)

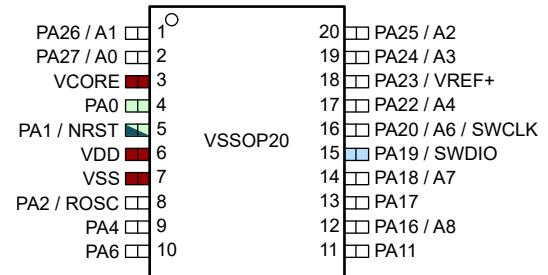


图 6-5. 20 引脚 DGS20 (VSSOP) (俯视图)

ADVANCE INFORMATION

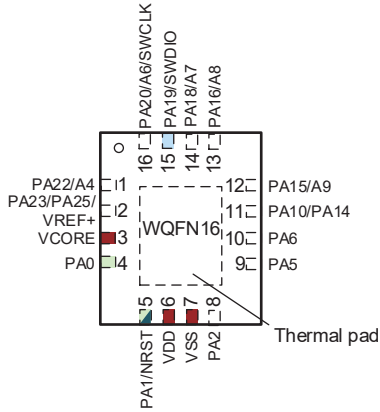


图 6-6. 16 引脚 RTR (WQFN) (俯视图)

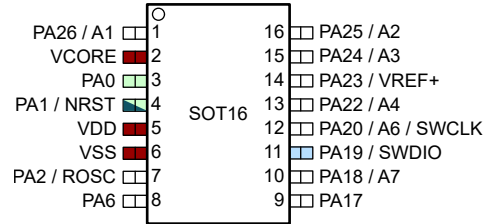


图 6-7. 16 引脚 DYY (SOT) (俯视图)

6.2 引脚属性

表 6-1 介绍了每个器件封装中每个引脚上可用的功能。

备注

器件上的每个数字 I/O 均映射到一个特定的引脚控制管理寄存器 (PINCMx)，此寄存器让用户能够使用 PINCM.PF 控制位来配置所需的引脚功能。

表 6-1. 引脚属性

PINCMx	引脚名称	模拟	引脚功能 数字 ⁽¹⁾	引脚编号						I/O 结构
				32 VQFN	28 VSSOP	24 VQFN	20 VSSOP	16 WQFN	16 SOT	
不适用			VDD	4	7	3	6	6	5	电源
不适用			VSS	5	8	4	7	7	6	电源
不适用			VCORE	32	3	23	3	3	2	Power
1	PA0		UART1_TX [2] / I2C0_SDA [3] / TIMG1_C0 [4] / SPI0_CS1 [5] (默认 BSL I2C_SDA)	1	4	24	4	4	3	5V 容限开漏
2	PA1		UART1_RX [2] / I2C0_SCL [3] / TIMG1_C1 [4] (默认 BSL I2C_SCL)	2	5	1	5	5	4	5V 容限开漏
不适用			NRST	3	6	2				复位
3	PA2	ROSC	TIMG1_C1 [2] / SPI0_CS0 [3]	6	9	5	8	8	7	标准
4	PA3		TIMG2_C0 [2] / SPI0_CS1 [3] / UART1_CTS [4]	7	10	6	-	-	-	标准
5	PA4		TIMG2_C1 [2] / SPI0_POCI [3] / UART1_RTS [4]	8	11	7	9	-	-	标准
6	PA5		TIMG0_C0 [2] / SPI0_PICO [3] / FCC_IN [4]	9	12	-	-	9	-	高速
7	PA6		TIMG0_C1 [2] / SPI0_SCK [3]	10	13	-	10	10	8	标准
8	PA7		CLK_OUT [3] / TIMG1_C0 [4]	11	-	-	-	-	-	标准
9	PA8		UART0_TX [2] / SPI0_CS0 [3] / UART1_RTS [4] / TIMG2_C0 [5]	12	-	-	-	-	-	标准
10	PA9		UART0_RX [2] / SPI0_PICO [3] / UART1_CTS [4] / TIMG2_C1 [5]	13	14	8	-	-	-	标准
11	PA10		UART1_TX [2] / SPI0_POCI [3] / I2C0_SDA [4] / TIMG4_C0 [5]	14	15	9	-	11	-	高速
12	PA11		UART1_RX [2] / SPI0_SCK [3] / I2C0_SCL [4] / TIMG4_C1 [5]	15	16	10	11	-	-	标准

表 6-1. 引脚属性 (continued)

PINCMx	引脚功能			引脚编号						I/O 结构
	引脚名称	模拟	数字 ⁽¹⁾	32 VQFN	28 VSSOP	24 VQFN	20 VSSOP	16 WQFN	16 SOT	
13	PA12		UART0_CTS [2]/TIMG0_C0 [3]/FCC_IN[4]	16	-	-	-	-	-	标准
14	PA13		UART0_RTS [2] / TIMG0_C1 [3] / UART1_RX [4]	17	-	-	-	-	-	标准
15	PA14		UART1_CTS [2] / CLK_OUT [3] / UART1_TX [4] / TIMG1_C0 [5]	18	17	-	-	11	-	标准
16	PA15	A9	UART1_RTS [2] / SPI0_CS2 [4] / TIMG4_C1 [5]	19	18	11	-	12	-	标准
17	PA16	A8	SPI0_POCI [4]/TIMG0_C0 [5]/FCC_IN[6]	20	19	12	12	13	-	标准
18	PA17		UART0_TX [2] / SPI0_SCK [4] / TIMG4_C0 [5] / SPI0_CS1 [6]	21	20	13	13	-	9	具有唤醒功能的标准配置
19	PA18	A7 / GPAMP_IN-	UART0_RX [2] / SPI0_PICO [3] / TIMG4_C1 [5] (BSL 调用)	22	21	14	14		10	具有唤醒功能的标准配置
20	PA19		SWDIO [2] / SPI0_POCI [4]	23	22	15	15	14	11	高速
21	PA20	A6	SWCLK [2] / TIMG4_C0 [4]	24	23	16	16		12	标准
22	PA21	A5 / VREF-	TIMG2_C0 [2] / UART0_CTS [3] / UART0_TX [4]	25	24	17	-	15	-	标准
23	PA22	A4 / GPAMP_OUT	UART0_RX [2] / TIMG2_C1 [3] / UART0_RTS [4] / CLK_OUT [5] / UART1_RX [6] (默认 BSL UART_RX)	26	25	18	17	16	13	标准
24	PA23	VREF+	UART0_TX [2] / SPI0_CS3 [3] / TIMG0_C0 [4] / UART0_CTS [5] / UART1_TX [6] (默认 BSL UART_TX)	27	26	19	18	-	14	标准
25	PA24	A3	SPI0_CS2 [2] / TIMG0_C1 [3] / UART0_RTS [4]	28	27	20	19	1	15	标准
26	PA25	A2	TIMG4_C1 [2] / UART0_TX [3] / SPI0_PICO [4]	29	28	21	20	2	16	标准
27	PA26	A1 / GPAMP_IN+	TIMG1_C0 [2] / UART0_RX [3] / SPI0_POCI [4]	30	1	22	1	-	1	标准
28	PA27	A0	TIMG1_C1 [2] / SPI0_CS3 [3]	31	2	-	2	-	-	标准

(1) 对于模拟功能，IOMUX 中的 PINCM.PF 和 PINCM.PC 必须设为 0 (例如，GPAMP 输入和输出或者 ADC 输入)。器件上的每个数字 I/O 均映射到一个特定的引脚控制管理寄存器 (PINCMx)，此寄存器让用户能够使用 PINCM.PF 控制位来配置所需的引脚功能。

表 6-2. 按 IO 类型分类的数字 IO 功能

IO 结构	反转控制	驱动强度控制	迟滞控制	上拉电阻器	下拉电阻器	唤醒逻辑
标准驱动	是			是	是	
带唤醒功能的标准驱动	是			是	是	是
高速	是	是		是	是	
5V 容限开漏	是		是		是	是

6.3 信号说明

功能	信号名称	引脚编号 ⁽¹⁾						引脚类型 ⁽²⁾	说明
		32 VQFN	28 VSSOP	24 VQFN	20 VSSOP	16 WQFN	16 SOT		
ADC	A0	31	2	-	2	-	-	I	ADC0 模拟输入 0
	A1	30	1	22	1	-	1	I	ADC0 模拟输入 1
	A2	29	28	21	20	2	16	I	ADC0 模拟输入 2
	A3	28	27	20	19	-	15	I	ADC0 模拟输入 3
	A4	26	25	18	17	1	13	I	ADC0 模拟输入 4
	A5	25	24	17	-	-	-	I	ADC0 模拟输入 5
	A6	24	23	16	16	16	12	I	ADC0 模拟输入 6
	A7	22	21	14	14	14	10	I	ADC0 模拟输入 7
	A8	20	19	12	12	13	-	I	ADC0 模拟输入 8
	A9	19	18	11	-	12	-	I	ADC0 模拟输入 9
引导加载程序 (BSL)	BSL_invoke	22	21	14	14	14	10	I	用于调用引导加载程序的输入引脚
BSL (I ² C)	BSLSCL	2	5	1	5	5	4	I/O	默认 I ² C BSL 时钟
	BSLSDA	1	4	24	4	4	3	I/O	默认 I ² C BSL 数据
BSL (UART)	BSLRX	26	25	18	17	1	13	I	默认 UART BSL 接收
	BSLTX	27	26	19	18	2	14	O	默认 UART BSL 发送
时钟	CLK_OUT	11 18 26	17 25	18	17	1 11	13	O	可配置时钟输出
	ROSC	6	9	5	8	8	7	I	用于提高振荡器精度的外部电阻
调试	SWCLK	24	23	16	16	16	12	I	串行线调试输入时钟
	SWDIO	23	22	15	15	15	11	I/O	串行线调试数据输入/输出
通用放大器	GPAMP_IN+	30	1	22	1	-	1	I	GPAMP 同相端子输入
	GPAMP_OUT	26	25	18	17	1	13	O	GPAMP 输出
	GPAMP_IN-	22	21	14	14	14	10	I	GPAMP 反相端子输入

功能	信号名称	引脚编号 ⁽¹⁾						引脚类型 ⁽²⁾	说明
		32 VQFN	28 VSSOP	24 VQFN	20 VSSOP	16 WQFN	16 SOT		
GPIO	PA0	1	4	24	4	4	3	I/O	可从关断状态唤醒的通用数字 I/O
	PA1	2	5	1	5	5	4	I/O	可从关断状态唤醒的通用数字 I/O
	PA2	6	9	5	8	8	7	I/O	通用数字 I/O
	PA3	7	10	6	-	-	-	I/O	通用数字 I/O
	PA4	8	11	7	9	-	-	I/O	通用数字 I/O
	PA5	9	12	-	-	9	-	I/O	通用数字 I/O
	PA6	10	13	-	10	10	8	I/O	通用数字 I/O
	PA7	11	-	-	-	-	-	I/O	通用数字 I/O
	PA8	12	-	-	-	-	-	I/O	通用数字 I/O
	PA9	13	14	8	-	-	-	I/O	通用数字 I/O
	PA10	14	15	9	-	11	-	I/O	通用数字 I/O
	PA11	15	16	10	11	-	-	I/O	通用数字 I/O
	PA12	16	-	-	-	-	-	I/O	通用数字 I/O
	PA13	17	-	-	-	-	-	I/O	通用数字 I/O
	PA14	18	17	-	-	11	-	I/O	通用数字 I/O
	PA15	19	18	11	-	12	-	I/O	通用数字 I/O
	PA16	20	19	12	12	13	-	I/O	通用数字 I/O
	PA17	21	20	13	13	14	9	I/O	可从关断状态唤醒的通用数字 I/O
	PA18	22	21	14	14	14	10	I/O	可从关断状态唤醒的通用数字 I/O
	PA19	23	22	15	15	15	11	I/O	通用数字 I/O
	PA20	24	23	16	16	16	12	I/O	通用数字 I/O
	PA21	25	24	17	-	-	-	I/O	通用数字 I/O
	PA22	26	25	18	17	1	13	I/O	通用数字 I/O
	PA23	27	26	19	18	2	14	I/O	通用数字 I/O
	PA24	28	27	20	19	-	15	I/O	通用数字 I/O
	PA25	29	28	21	20	2	16	I/O	通用数字 I/O
	PA26	30	1	22	1	-	1	I/O	通用数字 I/O
PA27	31	2	-	2	-	-	I/O	通用数字 I/O	
I ² C	I2C0_SCL	2 15	5 16	1 10	5 11	5	4	I/O	I2C0 串行时钟
	I2C0_SDA	1 14	4 15	24 9	4	4 11	3	I/O	I2C0 串行数据
电源	VSS	5	8	4	7	7	6	P	接地电源
	VDD	4	7	3	6	6	5	P	电源
	VCORE	32	3	23	3	3	2	P	稳压内核电源输出
	四方扁平无引线封装 (QFN) 焊盘	Pad	-	Pad	-	Pad	-	P	QFN 封装外露散热焊盘 TI 建议连接至 V _{SS} 。

功能	信号名称	引脚编号 ⁽¹⁾						引脚类型 ⁽²⁾	说明
		32 VQFN	28 VSSOP	24 VQFN	20 VSSOP	16 WQFN	16 SOT		
SPI	SPI0_CS0	6 12	9	5	8	8	7	I/O	SPI0 芯片选择 0
	SPI0_CS1	1 7 21	4 10 20	6 13 24	4 13	4	3 9	I/O	SPI0 芯片选择 1
	SPI0_CS2	19 28	18 27	11 20	19	12	15	I/O	SPI0 芯片选择 2
	SPI0_CS3	27 31	2 26	19	2 18	2	14	I/O	SPI0 芯片选择 3
	SPI0_SCK	10 15 21	13 16 20	10 13	10 11 13	10	8 9	I/O	SPI0 时钟信号输入 - SPI 外设模式 时钟信号输出 - SPI 控制器模式
	SPI0_POCI	8 14 20 23 30	1 11 15 19 22	7 9 12 15 22	1 9 12 15	11 13 15	1 11	I/O	SPI0 控制器输入/外设输出
	SPI0_PICO	9 13 22 29	12 14 21 28	8 14 21	14 20	2 9 14	10 16	I/O	SPI0 控制器输出/外设输入
系统	NRST	3	6	2	5	5	4	I	复位输入低电平有效
Timer	TIMG0_C0	9 16 20 27	12 19 26	12 19	12 18	2 9 13	14	I/O	通用计时器 0 CCR0 捕捉输入/比较输出
	TIMG0_C1	10 17 28	13 27	20	10 19	10	8 15	I/O	通用计时器 0 CCR1 捕捉输入/比较输出
	TIMG1_C0	1 11 18 30	1 4 17	22 24	1 4	4 11	1 3	I/O	通用计时器 1 CCR0 捕捉输入/比较输出
	TIMG1_C1	2 6 31	2 5 9	1 5	2 5 8	5 8	4 7	I/O	通用计时器 1 CCR1 捕捉输入/比较输出
	TIMG2_C0	7 12 25	10 24	6 17	-	-	-	I/O	通用计时器 2 CCR0 捕捉输入/比较输出
	TIMG2_C1	8 13 26	11 14 25	7 8 18	9 17	1	13	I/O	通用计时器 2 CCR1 捕捉输入/比较输出
	TIMG4_C0	14 21 24	15 20 23	9 13 16	13 16	11 16	9 12	I/O	通用计时器 4 CCR0 捕捉输入/比较输出
	TIMG4_C1	15 19 22 29	16 18 21 28	10 11 14 21	11 14 20	2 12 14	10 16	I/O	通用计时器 4 CCR1 捕捉输入/比较输出

功能	信号名称	引脚编号 ⁽¹⁾						引脚类型 ⁽²⁾	说明
		32 VQFN	28 VSSOP	24 VQFN	20 VSSOP	16 WQFN	16 SOT		
UART	UART0_TX	12 21 25 27 29	20 24 26 28	13 17 19 21	13 18 20	2	9 14 16	O	UART0 发送数据
	UART0_RX	13 22 26 30	1 14 21 25	8 14 18 22	1 14 17	1 14	1 10 13	I	UART0 接收数据
	UART0_CTS	16 25 27	24 26	17 19	18	2	14	I	UART0 “允许发送” 流控制输入
	UART0_RTS	17 26 28	25 27	18 20	17 19	1	13 15	O	UART0 “请求发送” 流控制输出
	UART1_TX	1 14 18 27	4 15 17 26	9 19 24	4 18	2 4 11	3 14	O	UART1 发送数据
	UART1_RX	2 15 17 26	5 16 25	1 10 18	5 11 17	1 5	4 13	I	UART1 接收数据
	UART1_CTS	7 13 18	10 14 17	6 8	-	11	-	I	UART1 “允许发送” 流控制输入
	UART1_RTS	8 12 19	11 18	7 11	9	12	-	O	UART1 “请求发送” 流控制输出
电压基准 ⁽³⁾	VREF+	27	26	19	18	2	14	I	电压基准电源 - 外部基准输入
	VREF-	25	24	17	-	-	-	I	电压基准接地电源 - 外部基准输入

(1) “-” = 不适用

(2) I = 输入, O = 输出, I/O = 输入或输出, P = 电源

(3) 当使用 VREF+/- 为 ADC 等模拟外设提供外部电压基准时, 必须在 VREF+ 与 VREF-/GND 之间放置一个去耦电容, 该电容基于外部基准源

6.4 未使用引脚的连接

表 6-3 列出了未使用引脚的正确端接方式。

表 6-3. 未使用引脚的连接

引脚 ⁽¹⁾	电势	注释
PAx	开路	将相应的引脚功能设置为 GPIO (PINCMx.PF = 0x1) 并使用内部上拉或下拉电阻器将未使用的引脚配置为输出低电平或输入。
NRST	VCC	NRST 是低电平有效复位信号。上拉至 VCC, 否则器件无法启动。有关详细信息, 请参阅节 9.1。

(1) 任何具有第二功能 (与通用 I/O 共用) 的未使用引脚都必须遵循 “PAx” 未使用引脚连接指南。

7 规格

7.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

			最小值	最大值	单位
VDD	电源电压	在 VDD 引脚处	-0.3	4.1	V
V _I	输入电压	施加到任何 5V 容限开漏引脚	-0.3	5.5	V
V _I	输入电压	施加到任何常见容限引脚	-0.3	V _{DD} + 0.3 (最大值为 4.1)	V
I _{VDD}	VDD 引脚的电流	流入 VDD 引脚的电流 (拉电流)		80	mA
I _{VSS}	VSS 引脚的电流	流出 VSS 引脚的电流 (灌电流)		80	mA
I _{IO}	SDIO 引脚的电流	SDIO 引脚灌入或拉取的电流		6	mA
	HSIO 引脚的电流	HSIO 引脚灌入或拉取的电流		6	mA
	ODIO 引脚的电流	ODIO 引脚灌入的电流		20	mA
I _D	受支持的二极管电流	任一器件引脚上的二极管电流		±2	mA
T _J		结温	-40	130	°C
T _{stg}		存储温度	-40	150	°C

(1) 超出绝对最大额定值下列出的压力可能会对器件造成永久损坏。这些仅是压力额定值, 并不意味着器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

7.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001, 所有引脚 ⁽¹⁾	±2000	V
		充电器件模式 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	±500	

(1) JEDEC 文件 JEP155 指出: 500V HBM 可实现在标准 ESD 控制流程下安全生产。

(2) JEDEC 文件 JEP157 指出: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

7.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

			最小值	标称值	最大值	单位
VDD	电源电压		1.62		3.6	V
VCORE	VCORE 引脚上的电压 ⁽²⁾			1.35		V
C _{VDD}	VDD 和 VSS 之间放置的电容器 ⁽¹⁾			10		uF
C _{VCORE}	VCORE 和 VSS 之间放置的电容器 ^{(1) (2)}			470		nF
T _A	环境温度, T 版本		-40		105	°C
	环境温度, S 版本		-40		125	
T _J	最大结温, T 版本				125	°C
T _J	最高结温, S 和 Q 版本				130	°C
f _{MCLK}	具有 1 个闪存等待状态的 MCLK、CPUCLK、ULPCLK 频率 ⁽³⁾				32	MHz
	具有 0 个闪存等待状态的 MCLK、CPUCLK、ULPCLK 频率 ⁽³⁾				24	

(1) 分别在 VDD/VSS 和 V_{VCORE}/VSS 之间连接 C_{VDD} 和 C_{VCORE} 并尽可能靠近器件引脚。C_{VDD} 和 C_{VCORE} 需要一个至少具有该额定值和 ±20% 或更高容差的低 ESR 电容器。

(2) V_{VCORE} 引脚只能连接到 C_{VCORE}。请勿向 V_{VCORE} 引脚提供任何电压或施加任何外部负载。

(3) 等待状态由系统控制器 (SYSCCTL) 自动管理，无需由应用软件配置。

7.4 热性能信息

热指标 ⁽¹⁾		封装	值	单位
R _{θJA}	结至环境热阻	VQFN-32 (RHB)	36.3	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻		28.5	°C/W
R _{θJB}	结至电路板热阻		17.2	°C/W
Ψ _{JT}	结至顶部特征参数		0.8	°C/W
Ψ _{JB}	结至电路板特征参数		17.2	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻		6.9	°C/W
R _{θJA}	结至环境热阻	VSSOP-28 (DGS28)	78.9	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻		38.6	°C/W
R _{θJB}	结至电路板热阻		41.3	°C/W
Ψ _{JT}	结至顶部特征参数		3.4	°C/W
Ψ _{JB}	结至电路板特征参数		41.0	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻		不适用	°C/W
R _{θJA}	结至环境热阻	VQFN-24 (RGE)	44.7	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻		38.1	°C/W
R _{θJB}	结至电路板热阻		21.9	°C/W
Ψ _{JT}	结至顶部特征参数		1.1	°C/W
Ψ _{JB}	结至电路板特征参数		21.9	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻		7.1	°C/W
R _{θJA}	结至环境热阻	VSSOP-20 (DGS20)	91.3	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻		29.3	°C/W
R _{θJB}	结至电路板热阻		48.3	°C/W
Ψ _{JT}	结至顶部特性参数		0.7	°C/W
Ψ _{JB}	结至电路板特征参数		47.9	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻		不适用	°C/W
R _{θJA}	结至环境热阻	SOT-16 (DYY)	86.6	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻		39.3	°C/W
R _{θJB}	结至电路板热阻		27.8	°C/W
Ψ _{JT}	结至顶部特征参数		1.1	°C/W
Ψ _{JB}	结至电路板特征参数		27.8	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻		不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标应用报告](#)。

7.5 电源电流特性

7.5.1 运行/睡眠模式

VDD=3.3V。所有输入都连接至 0V 或 VDD。输出不供应或吸收任何电流。所有外设均禁用。

参数	MCLK	-40°C		25°C		85°C		105°C		125°C		单位
		典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	
运行模式												

7.5.1 运行/睡眠模式 (continued)

VDD=3.3V。所有输入都连接至 0V 或 VDD。输出不供应或吸收任何电流。所有外设均禁用。

参数		MCLK	-40°C		25°C		85°C		105°C		125°C		单位
			典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	
IDD _{RUN}	MCLK=SYSOSC、CoreMark，从闪存执行	32MHz			3.1								mA
		4MHz											
	MCLK=SYSOSC、CoreMark，从SRAM 执行	32MHz											
		4MHz											
IDD _{RUN} ， 每 MHz	MCLK=SYSOSC、CoreMark，从闪存执行	32MHz			96							uA/Mhz	
	MCLK=SYSOSC，while (1)，从闪存执行	32MHz			68								
SLEEP 模式													
IDD _{SLEEP}	MCLK=SYSOSC，CPU 暂停	32MHz	1640	1700	1650	1730	1680	1900	1700	2030	1700	2210	uA
		4MHz	452	488	462	540	496	731	523	865	570	1130	

7.5.2 停止/待机模式

除非另有说明，VDD=3.3V。所有输入都连接至 0V 或 VDD。输出不供应或吸收任何电流。所有未注明的外设均被禁用。

参数		ULPCLK	-40°C		25°C		85°C		105°C		125°C		单位
			典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	
停止模式													
IDD _{STOP0}	SYSOSC=32MHz， USE4MHZSTOP=0， DISABLESTOP=0	4MHz	571	593	575	592	577	593	579	597	579	603	uA
IDD _{STOP1}	SYSOSC=4MHz， USE4MHZSTOP=1， DISABLESTOP=0	4MHz	198	209	200	211	204	214	208	221	225	289	
IDD _{STOP2}	SYSOSC 关闭， DISABLESTOP=1， ULPCLK=LFCLK	32kHz	42	46	45	48	48	54	51	61	57	81	
待机模式													
IDD _{STBY0}	STOPCLKSTBY=0，TIMG0 启用	32kHz	1.3	1.4	1.4	1.8	3.1	6.5	5.3	12	12	27	uA
IDD _{STBY1}	STOPCLKSTBY=1，TIMG0 启用		0.9	1	1.1	1.5	2.7	6.1	5	12	12	27	
	STOPCLKSTBY=1，GPIOA 启用		0.9	1	1.1	1.5	2.7	6.1	4.9	12	12	27	

7.5.3 关断模式

所有输入都连接至 0V 或 VDD。输出不供应或吸收任何电流。内核稳压器关断。

参数		VDD	-40°C		25°C		85°C		105°C		125°C		单位
			典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	
IDD _{SHDN}	关断模式下的电源电流	3.3V			83		511		1065		2613	nA	

7.6 电源定序

7.6.1 POR 和 BOR

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
dVDD/dt	VDD (电源电压) 压摆率	上升			1	V/us
		下降 ⁽²⁾			0.01	
		下降, 待机			0.1	V/ms
V _{POR+}	上电复位电压电平	上升 ⁽¹⁾	0.95	1.30	1.51	V
V _{POR-}		下降 ⁽¹⁾	0.9	1.25	1.48	V
V _{HYS, POR}	POR 迟滞	⁽¹⁾	45	58	74	mV
V _{BOR0+, COLD}	欠压复位电压电平 0 (默认电平)	冷启动, 上升 ⁽¹⁾	1.5	1.52	1.54	V
V _{BOR0+}		上升 ^{(1) (2)}	1.58	1.59	1.61	
V _{BOR0-}		下降 ^{(1) (2)}	1.56	1.57	1.60	
V _{BOR0, STBY}		待机模式 ⁽¹⁾	1.54	1.56	1.60	
V _{BOR1+}	欠压复位电压电平 1	上升 ^{(1) (2)}	2.15	2.17	2.23	V
V _{BOR1-}		下降 ^{(1) (2)}	2.12	2.14	2.19	
V _{BOR1, STBY}		待机模式 ⁽¹⁾	2.06	2.13	2.20	
V _{BOR2+}	欠压复位电压电平 2	上升 ^{(1) (2)}	2.74	2.77	2.83	V
V _{BOR2-}		下降 ^{(1) (2)}	2.71	2.73	2.80	
V _{BOR2, STBY}		待机模式 ⁽¹⁾	2.68	2.71	2.82	
V _{BOR3+}	欠压复位电压电平 3	上升 ^{(1) (2)}	2.88	2.96	3.04	V
V _{BOR3-}		下降 ^{(1) (2)}	2.85	2.93	3.01	
V _{BOR3, STBY}		待机模式 ⁽¹⁾	2.80	2.92	3.02	
V _{HYS, BOR}	欠压复位迟滞	级别 0 ⁽¹⁾		14	18	mV
		级别 1-3 ⁽¹⁾		34	38	
T _{PD, BOR}	BOR 传播延迟	运行/睡眠/停止模式			10	us
		待机模式			100	us

(1) $|dVDD/dt| \leq 3V/s$

(2) 器件在运行、睡眠或停止模式下工作。

7.6.2 电源斜坡

图 7-1 给出了上电和下电期间 POR - POR+、BOR0- 和 BOR0+ 之间的关系。

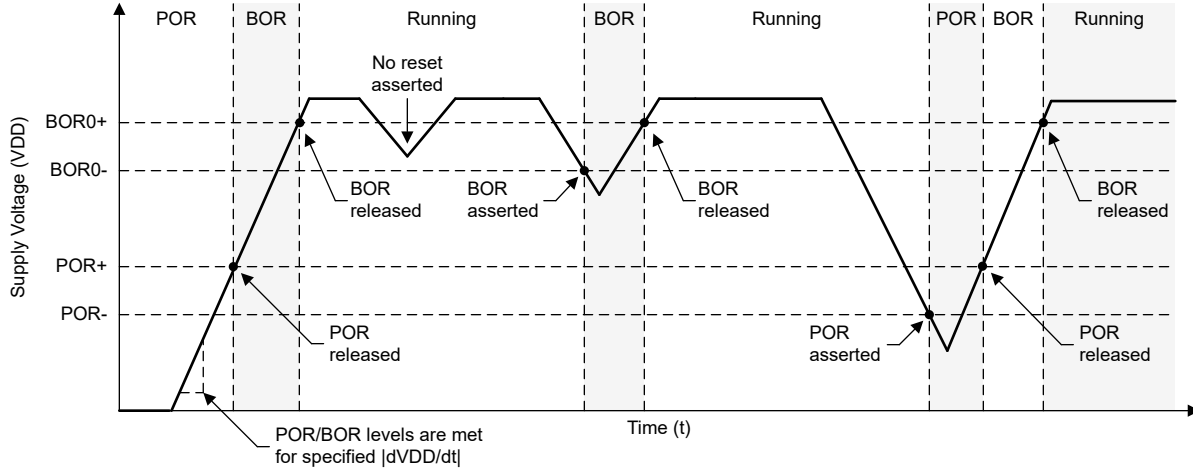


图 7-1. 下电上电 POR/BOR 条件

7.7 闪存特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
VDD _{PGM/ERASE}	编程及擦除电源电压		1.62		3.6	V
IDDERASE	擦除操作期间从 VDD 获得的电源电流	电源电流差值			10	mA
IDDPGM	编程操作期间从 VDD 获得的电源电流	电源电流差值			10	mA
耐久性						
NWEC _(LOWER)	擦除/编程周期耐久性（下部 32kB 闪存） ⁽¹⁾		100			k 个周期
NWEC _(UPPER)	擦除/编程周期耐久性（其余闪存） ⁽¹⁾		10			k 个周期
NE _(MAX)	发生故障前的总擦除操作 ⁽²⁾		802			K 擦除操作
NW _(MAX)	在扇区擦除之前每个字线的写入操作 ⁽³⁾				83	写入操作
保持						
t _{RET_85}	闪存数据保留	-40°C ≤ T _j ≤ 85°C	60			年
t _{RET_105}	闪存数据保留	-40°C ≤ T _j ≤ 105°C	11.4			年
编程和擦除时序						
t _{PROG (WORD, 64)}	闪存字的编程时间 ^{(4) (6)}			40		μs
t _{PROG (SEC, 64)}	1kB 扇区的编程时间 ^{(5) (6)}			5.1		ms
t _{ERASE (SEC)}	扇区擦除时间	<10k 个擦除/编程周期		20		ms
t _{ERASE (BANK)}	组擦除时间	<10k 个擦除/编程周期		22		ms

- (1) 下部 32kB 闪存地址空间支持更高的擦除/编程耐久性，从而实现 EEPROM 仿真应用。在具有 ≤32kB 闪存的器件上，整个闪存支持 NWEC_(LOWER) 个擦除/编程周期。
- (2) 发生故障前闪存支持的累计擦除操作总数。一次扇区擦除或组擦除操作被视为一次擦除操作。
- (3) 必须擦除字线之前、每个字线允许的最大写入操作数。如果需要对同一个字线执行额外的写入操作，则一旦达到每个字线的最大写入操作数，就需要执行扇区擦除。
- (4) 编程时间定义为从触发编程命令到在闪存控制器中设置命令完成中断标志所需的时间。
- (5) 扇区编程时间定义为从第一个字编程命令被触发到最后一个字编程命令完成并且在闪存控制器中设置中断标志所需的时间。该时间包括在扇区编程期间软件将每个闪存字（在第一个闪存字之后）加载到闪存控制器所需的时间。
- (6) 闪存字大小为 64 个数据位（8 个字节）。在具有 ECC 的器件上，总闪存字大小为 72 位（64 个数据位加 8 个 ECC 位）。

7.8 计时特性

VDD=3.3V, T_a=25°C (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
唤醒时间						
t _{WAKE, SLEEP}	从休眠到运行的唤醒时间 ⁽¹⁾			2		个周期
t _{WAKE, STOP}	从 STOP1 到运行的唤醒时间 (SYSOSC 启用) ⁽¹⁾			10		us
	从 STOP2 到运行的唤醒时间 (SYSOSC 禁用) ⁽¹⁾			12		us
t _{WAKE, STBY}	从待机到运行的唤醒时间 ⁽¹⁾			12		us
t _{WAKE, SHDN}	从关断到运行的唤醒时间	快速启动启用		120		us
		快速启动禁用		170		
异步快速时钟请求时序						
t _{DELAY}	从异步请求的边沿到第一个 32MHz MCLK 边沿的延迟时间	模式为 SLEEP2		2		us
		模式为 STOP1		0.25		us
		模式为 STOP2		2		us
		模式为 STANDBY1		4.5		us
启动时序						
t _{START, RESET}	器件从复位/上电开始的冷启动时间 ⁽²⁾	快速启动启用		200		μs
		快速启动禁用		250		us
NRST 时序						
t _{RST, BOOTRST}	NRST 引脚上用于生成 BOOTRST 的脉冲长度	ULPCLK≥4MHz		2		us
		ULPCLK=32kHz		100		us
t _{RST, POR}	NRST 引脚上用于生成 POR 的脉冲长度			1		s

(1) 唤醒时间是指从外部信号 (GPIO 唤醒事件) 的边沿到执行第一条 CPU 指令所需的时间, 其中 GPIO 干扰滤波器禁用 (FILTEREN=0x0) 且快速唤醒启用 (FASTWAKEONLY=1)

(2) 启动时间是从 VDD 超过 VBOR0+ (冷启动) 到执行用户程序的第一条指令所需的时间。

7.9 时钟规范

7.9.1 系统振荡器 (SYSOSC)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位	
f _{SYSOSC}	出厂修整的 SYSOSC 频率	SYSOSCCFG.FREQ=00 (BASE)		32		MHz	
		SYSOSCCFG.FREQ=01		4			
	用户修整的 SYSOSC 频率	SYSOSCCFG.FREQ=10, SYSOSCSTRIMUSER.FREQ=10		24			
		SYSOSCCFG.FREQ=10, SYSOSCSTRIMUSER.FREQ=01		16			
	使用 FCL/ROSC 时的 SYSOSC 精度 ⁽¹⁾	SETUSEFCL=1, ±0.1% 25ppm R _{OSC} , -40°C ≤ T _a ≤ 85°C ⁽²⁾		-1		1	%
		SETUSEFCL=1, ±0.1% 25ppm R _{OSC} , -40°C ≤ T _a ≤ 125°C ⁽²⁾		-1.2		1.3	
SYSOSC 精度	SETUSEFCL=0, -40°C ≤ T _a ≤ 125°C		-3.3		3.3		

7.9.1 系统振荡器 (SYSOSC) (continued)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
I _{SYSOSC}	SYSOSC 的电流消耗	f _{SYSOSC} =4MHz		20		uA
		f _{SYSOSC} =32MHz		80		
		f _{SYSOSC} =32MHz, SETUSEFCL=1 (1)		90		
R _{OSC}	ROSC 引脚和 VSS 之间的外部电阻器 (1)	SETUSEFCL=1		100		kΩ
t _{start, SYSOSC}	从禁用状态的启动时间	从 SYSOSC 请求到 MCLK 上第一个 SYSOSC 边沿的时间, 器件处于运行或睡眠模式, MCLK=LFCLK			2	us
t _{settle, SYSOSC}	达到目标精度的稳定时间 (3)	SETUSEFCL=1 (1), ±0.1% 25ppm R _{OSC}			30	us
f _{settle, SYSOSC}	t _{settle} 期间的 f _{SYSOSC} 精度 (3)	SETUSEFCL=1 (1), ±0.1% 25ppm R _{OSC}	-11		1.3	%

- (1) SYSOSC 频率校正环路 (FCL) 通过外部基准电阻 (R_{OSC}) 实现高 SYSOSC 精度, 当使用 FCL 时, 该电阻必须连接在器件 ROSC 引脚和 VSS 之间。所示精度为采用 ±0.1% 25ppm R_{OSC} 时; 也可以使用宽松容差电阻 (SYSOSC 精度会有所降低)。有关计算各种 R_{OSC} 精度所对应的 SYSOSC 精度的详细信息, 请参阅技术参考手册的“SYSOSC”一节。如果未启用 FCL, 则无需填充 R_{OSC}。
- (2) 在测试条件下给定的环境温度范围内保证精度, 前提是器件仅在测试条件中规定的环境温度范围内运行。
- (3) 当 SYSOSC 从禁用状态启用时, SYSOSC 输出将在 t_{start, SYSOSC} 指定的时间内释放到器件。输出释放后, SYSOSC 在最坏情况下的精度由 f_{settle, SYSOSC} 指定。在 t_{settle, SYSOSC} 指定的时间之后, SYSOSC 便已稳定到目标 f_{SYSOSC} 精度。

7.9.2 低频振荡器 (LFOSC)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
f _{LFOSC}	LFOSC 频率			32768		Hz
	LFOSC 精度	-40°C ≤ T _a ≤ 125°C	-5		5	%
		-40°C ≤ T _a ≤ 85°C	-3		3	%
I _{LFOSC}	LFOSC 电流消耗			300		nA
t _{start, LFOSC}	LFOSC 启动时间			1.8		ms

7.10 数字 IO

7.10.1 电气特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数		测试条件	最小值	典型值	最大值	单位
V _{IH}	高电平输入电压	ODIO (1)	VDD ≥ 1.62V	0.7*VDD	5.5	V
			VDD ≥ 2.7V	2	5.5	V
		除 ODIO 和复位以外的所有 I/O	VDD ≥ 1.62V	0.7*VDD	VDD+0.3	V
V _{IL}	低电平输入电压	ODIO	VDD ≥ 1.62V	-0.3	0.3*VDD	V
			VDD ≥ 2.7V	-0.3	0.8	V
		除 ODIO 和复位以外的所有 I/O	VDD ≥ 1.62V	-0.3	0.3*VDD	V
V _{HYS}	Hysteresis	ODIO		0.05*VDD		V
		除 ODIO 以外的所有 I/O		0.1*VDD		V
I _{Ikg}	高阻态漏电流	SDIO (2) (3)			50	nA
R _{PU}	上拉电阻	除 ODIO 以外的所有 I/O		40		kΩ

7.10.1 电气特性 (continued)

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数		测试条件		最小值	典型值	最大值	单位			
R _{PD}	下拉电阻				40		kΩ			
C _i	输入电容				5		pF			
V _{OH}	高电平输出电压	SDIO	VDD ≥ 2.7V, I _{IO} _{max} = 6mA VDD ≥ 1.71V, I _{IO} _{max} = 2mA T _j ≤ 85°C	VDD-0.4			V			
			VDD ≥ 2.7V, I _{IO} _{max} = 6mA VDD ≥ 1.71V, I _{IO} _{max} = 2mA T _j ≤ 85°C	VDD-0.45						
		HSIO	VDD ≥ 2.7V, DRV=1, I _{IO} _{max} = 6mA VDD ≥ 1.71V, DRV=1, I _{IO} _{max} = 3mA T _j ≤ 85°C	VDD-0.4						
			VDD ≥ 2.7V, DRV=1, I _{IO} _{max} = 6mA VDD ≥ 1.71V, DRV=1, I _{IO} _{max} = 3mA T _j > 85°C	VDD-0.45						
			VDD ≥ 2.7V, DRV=0, I _{IO} _{max} = 4mA VDD ≥ 1.71V, DRV=0, I _{IO} _{max} = 2mA T _j ≤ 85°C	VDD-0.4						
			VDD ≥ 2.7V, DRV=0, I _{IO} _{max} = 4mA VDD ≥ 1.71V, DRV=0, I _{IO} _{max} = 2mA T _j > 85°C	VDD-0.45						
		V _{OL}	低电平输出电压	SDIO	VDD ≥ 2.7V, I _{IO} _{max} = 6mA VDD ≥ 1.71V, I _{IO} _{max} = 2mA T _j ≤ 85°C				0.4	V
					VDD ≥ 2.7V, I _{IO} _{max} = 6mA VDD ≥ 1.71V, I _{IO} _{max} = 2mA T _j > 85°C				0.45	
HSIO	VDD ≥ 2.7V, DRV=1, I _{IO} _{max} = 6mA VDD ≥ 1.71V, DRV=1, I _{IO} _{max} = 3mA T _j ≤ 85°C					0.4				
	VDD ≥ 2.7V, DRV=1, I _{IO} _{max} = 6mA VDD ≥ 1.71V, DRV=1, I _{IO} _{max} = 3mA T _j > 85°C					0.45				
	VDD ≥ 2.7V, DRV=0, I _{IO} _{max} = 4mA VDD ≥ 1.71V, DRV=0, I _{IO} _{max} = 2mA T _j ≤ 85°C					0.4				
	VDD ≥ 2.7V, DRV=0, I _{IO} _{max} = 4mA VDD ≥ 1.71V, DRV=0, I _{IO} _{max} = 2mA T _j > 85°C					0.45				
ODIO	VDD ≥ 2.7V, I _{OL} max = 8mA VDD ≥ 1.71V, I _{OL} max = 4mA T _j ≤ 85°C					0.4				
	VDD ≥ 2.7V, I _{OL} max = 8mA VDD ≥ 1.71V, I _{OL} max = 4mA T _j > 85°C					0.45				

(1) I/O 类型: ODIO = 5V 容限开漏, SDIO = 标准驱动, HSIO = 高速

- (2) 除非另有说明，漏电流是在将 VSS 或 VCC 施加到相应引脚的情况下测量的。
(3) 数字端口引脚的泄漏电流单独测量。为输入选择端口引脚，而且上拉/下拉电阻器被禁用。

7.10.2 开关特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件		最小值	典型值	最大值	单位
f _{max}	端口输出频率	SDIO (1)	VDD ≥ 1.71V, C _L = 20pF			16	MHz
			VDD ≥ 2.7V, CL = 20pF			32	
		HSIO	VDD ≥ 1.71V, DRV = 0, CL = 20pF			16	
			VDD ≥ 1.71V, DRV = 1, CL = 20pF			24	
			VDD ≥ 2.7V, DRV = 0, CL = 20pF			32	
ODIO	VDD ≥ 1.71V, FM*, CL = 20pF - 100pF			1			
t _r , t _f	输出上升/下降时间	除 ODIO 以外的所有输出端口	VDD ≥ 1.71V			0.3*f _{max}	s
t _f	输出下降时间	ODIO	VDD ≥ 1.71V, FM*, CL = 20pF-100pF	20*VDD/5.5		120	ns

- (1) I/O 类型：ODIO = 5V 容限开漏，SDIO = 标准驱动，HSIO = 高速

7.11 模拟多路复用器 VBOOST

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I _{VBST}	VBOOST 电流加法器	MCLK/ULPCLK 是 LFCLK		0.8	1.1	uA
		MCLK/ULPCLK 不是 LFCLK		8.5	10	
t _{START,VBST}	VBOOST 启动时间			12		us

7.12 ADC

7.12.1 电气特性

在推荐的电源电压和自然通风条件下的工作温度范围内（除非另有说明），所有典型值均在温度为 25°C 时测得，并且所有精度参数均使用 12 位分辨率模式测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V _{in(ADC)}	模拟输入电压范围(1)	适用于所有 ADC 模拟输入引脚	0		VDD	V
V _{R+}	ADC 正基准电压	来自 VDD 的 V _{R+}		VDD		V
		来自外部基准引脚的 V _{R+} (VREF+)	1.4		VDD	V
		来自内部基准的 V _{R+} (VREF)		VREF		V
V _{R-}	ADC 负基准电压			0		V
F _S	ADC 采样频率	RES = 0x0 (12 位模式)，外部基准			1.45	MSPS
		RES = 0x1 (10 位模式)，外部基准			1.60	
		RES = 0x2 (8 位模式)，外部基准			1.88	
I _(ADC) (2)	流入 VDD 端子的工作电源电流	F _S = 1MSPS, 内部基准关闭, V _{R+} = VDD		450	630	uA
		F _S = 200kSPS, 内部基准打开, V _{R+} = VREF = 2.5V		300	464	
C _{S/H}	ADC 采样保持电容			4		pF
R _{in}	ADC 输入电阻			0.5		kΩ
ENOB	有效位数	外部基准, F _{in} = 10KHz (3)	11.0	11.2		位
		内部基准, V _{R+} = VREF = 2.5V, F _{in} = 10KHz	9.7	10.1		
SNR	信噪比	外部基准(3)	68	70		dB
		内部基准, V _{R+} = VREF = 2.5V	60	63		

7.12.1 电气特性 (continued)

在推荐的电源电压和自然通风条件下的工作温度范围内（除非另有说明），所有典型值均在温度为 25°C 时测得，并且所有精度参数均使用 12 位分辨率模式测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
PSRR _{DC}	电源抑制比（直流）	外部基准电压 ⁽³⁾ ，VDD = VDD _(min) 至 VDD _(max)	63	68		dB
		VDD = VDD _(min) 至 VDD _(max) 内部基准，V _{R+} = VREF = 2.5V	49	55		
PSRR _{AC}	电源抑制比（交流）	外部基准电压 ⁽³⁾ ，1kHz 时 ΔVDD = 0.1V		61		dB
		1kHz 时 ΔVDD = 0.1V 内部基准，V _{R+} = VREF = 2.5V		49		
T _{wakeup}	ADC 唤醒时间	假设内部基准处于运行状态		1		us
V _{SupplyMon}	电源监测器分压器 (VDD/3) 精度	ADC 输入通道：电源监测器 ⁽⁴⁾	-1.5		+1.5	%
I _{SupplyMon}	电源监测器分压器电流消耗	ADC 输入通道：电源监测器		10		uA

- 模拟输入电压范围必须位于所选的 ADC 基准电压范围 V_{R+} 至 V_{R-} 内，才能获得有效的转换结果。
- 内部基准 (VREF) 电源电流不包括在电流消耗参数 I_(ADC) 中。
- 所有外部基准规格都是在 V_{R+} = VREF+ = VDD = 3.3V 且 V_{R-} = VREF- = VSS = 0V 的条件下测得
- 模拟电源监测器。通道 15 上的模拟输入断开连接，并在内部连接到分压器 VDD/3。

7.12.2 开关特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件	最小值	典型值	最大值	单位
f _{ADCCLK}	ADC 时钟频率		4		32	MHz
t _{ADC trigger}	软件触发最小宽度		3			ADCCLK 周期
t _{Sample}	无 OPA 时的采样时间	12 位模式，R _S = 50 Ω，C _{pext} = 10pF		52		ns
t _{Sample_PGA}	使用 OPA 时的采样时间 ⁽¹⁾	12 位模式		0.19		μs
		GBW = 0x1，PGA 增益 = x1 GBW = 0x1，PGA 增益 = x32		1.69		μs
t _{Sample_step}	阶跃输入的采样时间	12 位模式，R _S = 50 Ω，C _{pext} = 10pF		0.05		μs
t _{Sample_GPAMP}	使用 GPAMP 时的采样时间			1.69		μs
t _{Sample_SupplyMon}	使用电源监测器 (VDD/3) 时的采样时间			2.1		μs

- 仅适用于具有 OPA 的器件

7.12.3 线性参数

在推荐的电源电压和自然通风条件下的工作温度范围内（除非另有说明），所有典型值均在温度为 25°C 时测得，并且所有线性参数均使用 12 位分辨率模式测得（除非另有说明）⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
E _I	积分线性误差 (INL)	外部基准 ⁽²⁾	-2.0		+2.0	LSB
		外部基准 ⁽²⁾ ，硬件均值计算已启用，16 个样本		2.5		
E _D	微分线性误差 (DNL) 保证无丢码	外部基准 ⁽²⁾	-1.0		+1.0	LSB
		外部基准 ⁽²⁾ ，硬件均值计算已启用，16 个样本		1		
E _O	偏移误差	外部基准 ⁽²⁾	-5		2	mV
		内部基准，V _{R+} = VREF = 2.5V	-2		8	mV
E _G	增益误差	外部基准 ⁽²⁾	-3		3	LSB
		内部基准，V _{R+} = VREF = 2.5V ⁽²⁾	-4		4	LSB

- 总体未调整误差 (TUE) 可以通过以下公式使用 E_I、E_O 和 E_G 来计算得出：TUE = √(E_I² + |E_O|² + E_G²)
注意：您必须将所有误差转换为相同的单位，通常为 LSB，以上公式才能进行准确计算
- 所有外部基准规格都是在 V_{R+} = VREF+ = VDD 且 V_{R-} = VSS = 0V 的条件下测得

7.12.4 典型连接图

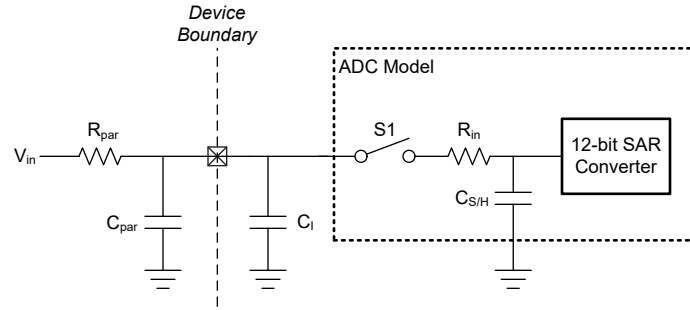


图 7-2. ADC 输入网络

1. 请参阅 [ADC 电气特性](#) 以了解 R_{in} 和 $C_{S/H}$ 的值
2. 请参阅 [数字 IO 电气特性](#) 以了解 C_I 的值
3. C_{par} 和 R_{par} 表示外部 ADC 输入电路的寄生电容和电阻

使用以下公式来求解 ADC 转换所需的最小采样时间 (T) :

1. $\tau = (R_{par} + R_{in}) * C_{S/H} + R_{par} * (C_{par} + C_I)$
2. $K = \ln(2^n / \text{趋稳误差}) - \ln((C_{par} + C_I) / C_{S/H})$
3. T (最小采样时间) = $K * \tau$

7.13 温度传感器

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
TS _{ACC}	相对温度精度 (1)	$-40^{\circ}\text{C} \leq T_j \leq 105^{\circ}\text{C}$	-2.8		2.8	°C
		$-40^{\circ}\text{C} \leq T_j \leq 130^{\circ}\text{C}$	-3		3	°C
TS _{TRIM}	出厂调整温度 (2)		27	30	33	°C
TS _C	温度系数			-2.04		mV/°C
I _{TS}	温度传感器电流消耗			10		µA
t _{SET, TS}	温度传感器稳定时间 (3)		6.1			µs

- (1) 通过将相对温度精度与修整精度相结合, 并考虑任何模数转换误差, 可以计算出有效绝对温度精度。
- (2) 通过用户校准可以实现更高的绝对精度。
- (3) 这是测量温度传感器时所需的最短 ADC 采样时间。

7.14 VREF

7.14.1 电压特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数		测试条件	最小值	典型值	最大值	单位
VDD _{min}	VREF 运行所需的最小电源电压	BUFCONFIG = 1	1.62			V
		BUFCONFIG = 0	2.7			
VREF	电压基准输出电压	BUFCONFIG = 1	1.365	1.4	1.435	V
		BUFCONFIG = 0	2.437	2.5	2.562	

7.14.2 电气特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数		测试条件	最小值	典型值	最大值	单位
I _{VREF}	VREF 工作电源电流	BUFCONFIG = {0, 1}, 无负载		80	100	µA

7.14.2 电气特性 (continued)

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数		测试条件	最小值	典型值	最大值	单位
TC_{VREF}	VREF 的温度系数 ⁽¹⁾	BUFCONFIG = {0, 1}			200	ppm/°C
TC_{drift}	长期 VREF 漂移	时间 = 1000 小时, BUFCONFIG = {0, 1}, T = 25°C			300	ppm
$PSRR_{DC}$	VREF 电源抑制比 (直流)	VDD = 1.7 V 至 VDDmax, BUFCONFIG = 1	-59	-62		dB
		VDD = 2.7V 至 VDDmax, BUFCONFIG = 0	-49	-52		
V_{noise}	VREF 输出端的 RMS 噪声 (0.1Hz 至 100MHz)	BUFFCONFIG = 1		550		μV_{rms}
		BUFFCONFIG = 0		1000		
ADC F_S	支持的最大 ADC 采样频率	使用 VREF 作为 ADC 基准			200	kSPS
$T_{startup}$	VREF 启动时间	BUFCONFIG = {0, 1}, VDD = 2.8V			10	us

(1) VREF 输出的温度系数是 TC_{VREF} 与内部带隙基准的温度系数之和。

7.15 GPAMP

7.15.1 电气特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数		测试条件	最小值	典型值	最大值	单位
V_{CM}	共模电压范围	RRI = 0x0	-0.1		VDD - 1	V
		RRI = 0x1	1		VDD - 0.2	
		RRI = 0x2	-0.1		VDD - 0.2	
I_q	每个运算放大器的静态电流	$I_O = 0mA$, RRI = 0x0		100		μA
		$I_O = 0mA$, RRI = 0x1 或 0x2		100		
GBW	增益带宽积	$C_L = 200pF$		0.35		MHz
V_{OS}	输入失调电压	同相, 单位增益, $T_A = 25^\circ C$, VDD = 3.3V	CHOP = 0x0	0.3	4	mV
			CHOP = 0x1 或 0x2	0.12	0.45	
dV_{OS}/dT	输入失调电压温漂	同相, 单位增益	CHOP = 0x0	9.8		$\mu V/^\circ C$
			CHOP = 0x1 或 0x2	0.48		
I_{bias}	SoC 上多路复用 I/O 引脚的输入偏置	0.1V < V_{in} < VDD - 0.3V, VDD = 3.3V, CHOP = 0x0	$T_A = 25^\circ C$	20		μA
			$T_A = 125^\circ C$	923		
		0.1V < V_{in} < VDD - 0.3V, VDD = 3.3V, CHOP = 0x1	$T_A = 25^\circ C$	44		
			$T_A = 125^\circ C$	985		
$CMRR_{DC}$	共模抑制比 (直流)	在共模电压范围内	CHOP = 0x0	48	73	dB
			CHOP = 0x1 或 0x2	56	101	
e_n	输入电压噪声密度	同相, 单位增益	f = 1kHz	48		nV/\sqrt{Hz}
			f = 10kHz	24		
	以输入为基准的集成电压噪声	f = 0.1Hz 至 10Hz, 同相, 单位增益	CHOP = 0x0	150		μV_{pp}
			CHOP = 0x1 或 0x2	15		
R_{in}	输入电阻 ⁽¹⁾			2		k Ω
C_{in}	输入电容	共模		4		pF
		差分		2		
A_{OL}	开环电压增益 (直流)	$R_L = 350 k\Omega$, $0.3V < V_o < VDD - 0.3V$	78	86	102	dB
PM	相补角	$C_L = 200pF$, $R_L = 350k\Omega$	69	70	71	度
SR	压摆率	同相, 单位增益, $C_L = 40pF$	0.28	0.36	0.49	V/ μs

7.15.1 电气特性 (continued)

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数		测试条件	最小值	典型值	最大值	单位
THDN	总谐波失真 + 噪声		0.008	0.015	0.045	%
I _{Load}	输出负载电流		±10			μA
C _{Load}	输出负载电容		200			pF

(1) 术语“Rin”是指 GPAMP 中多路复用器的输入电阻。

7.15.2 开关特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数		测试条件		最小值	典型值	最大值	单位
t _{EN}	GPAMP 启用时间	ENABLE = 0x0 至 0x1, 带隙基准开启, 0.1%	同相, 单位增益		13	19	μs
t _{disable}	GPAMP 禁用时间				4		ULPCLK 周期
t _{SETTLE}	GPAMP 稳定时间	C _L = 200pF, Vstep = 0.3V 至 VDD - 0.3V, 0.1%, ENABLE = 0x1	同相, 单位增益		12		μs

7.16 I2C

7.16.1 I2C 特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	标准模式		快速模式		快速模式 +		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
f _{I2C}	I2C 输入时钟频率	电源域 0 中的 I2C	2	32	8	32	20	32	MHz
f _{SCL}	SCL 时钟频率		100KΩ		400K		1M		MHz
t _{HD, STA}	保持时间 (重复) 启动		0.16		0.17		0.17		us
t _{LOW}	SCL 时钟的低电平周期		0.16		0.04		0.04		us
t _{HIGH}	SCL 时钟的高电平周期		0.16		0.5		0.04		us
t _{SU, STA}	一个针对重复启动的建立时间		0.05		0.05		0.05		us
t _{HD, DAT}	数据保持时间		0		0		0		ns
t _{SU, DAT}	数据设置时间		250		100		50		ns
t _{SU, STO}	停止的建立时间		0.06		0.05		0.05		us
t _{BUF}	停止与启动状态之间的总线空闲时间		1.34		0.39		0.33		us
t _{VD,DAT}	数据有效时间			3.74		0.95		0.36	us
t _{VD,ACK}	数据有效确认时间			0.33		0.32		0.33	us

7.16.2 I2C 滤波器

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
f _{SP}	由输入滤波器进行抑制的尖峰的脉冲持续时间	AGFSELx = 0	5	5.5	32	ns
		AGFSELx = 1	8	15	55	ns
		AGFSELx = 2	18	38	115	ns
		AGFSELx = 3	50	74	150	ns

7.16.3 I²C 时序图

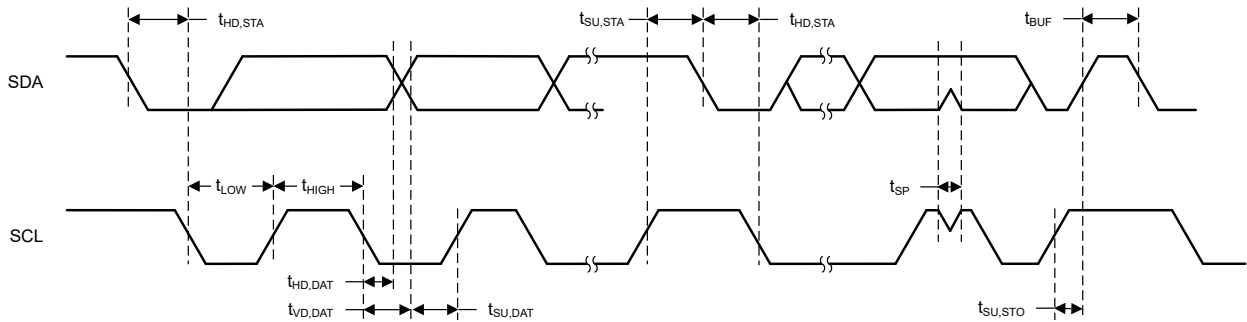


图 7-3. I2C 时序图

7.17 SPI

7.17.1 SPI

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
SPI						
f_{SPI}	SPI 时钟频率	时钟最大速度 = 32MHz 1.71V < VDD < 3.6V 控制器模式			16	MHz
f_{SPI}	SPI 时钟频率	时钟最大速度 = 32MHz 1.71V < VDD < 3.6V 外设模式			16	MHz
DC_{SCK}	SCK 占空比		40	50	60	%
控制器						
$t_{\text{SCLK_H/L}}$	SCLK 高电平或低电平时间		$(t_{\text{SPI}}/2) - 1$	$t_{\text{SPI}} / 2$	$(t_{\text{SPI}}/2) + 1$	ns
$t_{\text{SU,CI}}$	POCI 输入数据建立时间 ⁽¹⁾	2.7V < VDD < 3.6V	1			ns
$t_{\text{SU,CI}}$	POCI 输入数据设置时间 ⁽¹⁾	1.71V < VDD < 2.7V	3.8			ns
$t_{\text{HD,CI}}$	POCI 输入数据保持时间		9			ns
$t_{\text{VALID,CO}}$	PICO 输出数据有效时间 ⁽²⁾				10	ns
$t_{\text{HD,CO}}$	PICO 输出数据保持时间 ⁽³⁾		1			ns
外设						
$t_{\text{CS,LEAD}}$	CS 提前时间, CS 有效至时钟		8			ns
$t_{\text{CS,LAG}}$	CS 滞后时间, 最后一个时钟到 CS 无效		1			ns
$t_{\text{CS,ACC}}$	CS 访问时间, CS 有效到 POCI 数据输出				23	ns
$t_{\text{CS,DIS}}$	CS 禁用时间, CS 无效到 POCI 高阻抗				19	ns
$t_{\text{SU,PI}}$	PICO 输入数据设置时间		7			ns
$t_{\text{HD,PI}}$	PICO 输入数据保持时间		31.25			ns
$t_{\text{VALID,PO}}$	POCI 输出数据有效时间 ⁽²⁾	2.7V < VDD < 3.6V			24	ns
$t_{\text{VALID,PO}}$	POCI 输出数据有效时间 ⁽²⁾	1.71V < VDD < 2.7V			31	ns
$t_{\text{HD,PO}}$	POCI 输出数据保持时间 ⁽³⁾		5			ns

(1) 启用延迟采样功能后, POCI 输入数据设置时间可得到完全补偿。

(2) 指定输出更改 SCLK 时钟边沿后将下一个有效数据驱动到输出所需的时间。

(3) 指定输出更改 SCLK 脉冲边沿后输出上数据保持有效的时长。

7.17.2 SPI 时序图

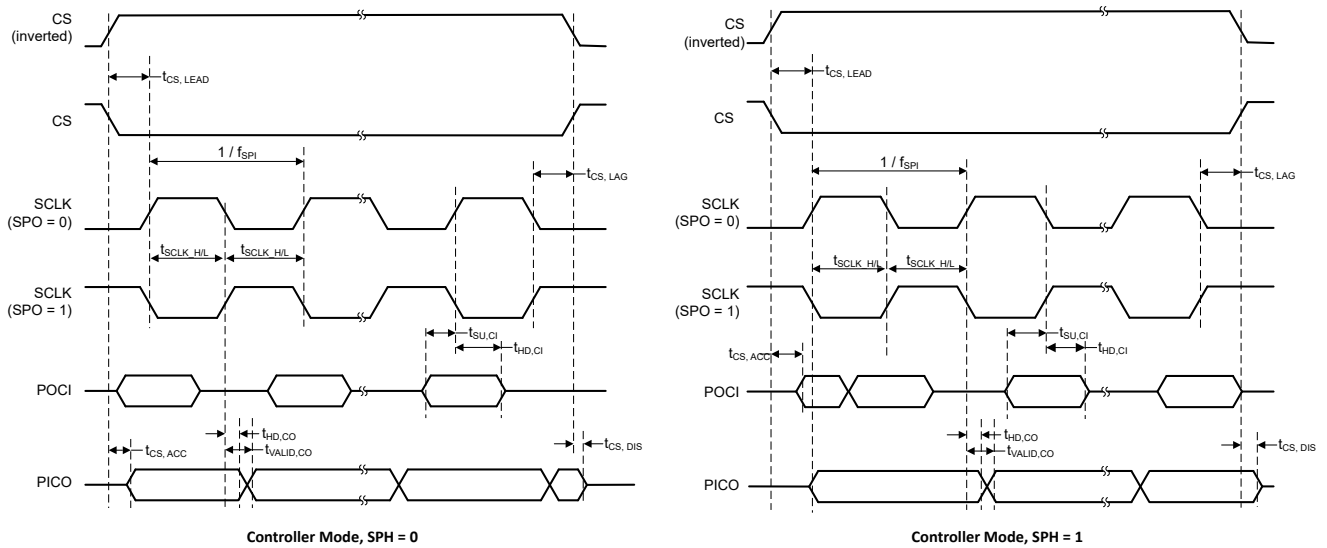


图 7-4. SPI 时序图 - 控制器模式

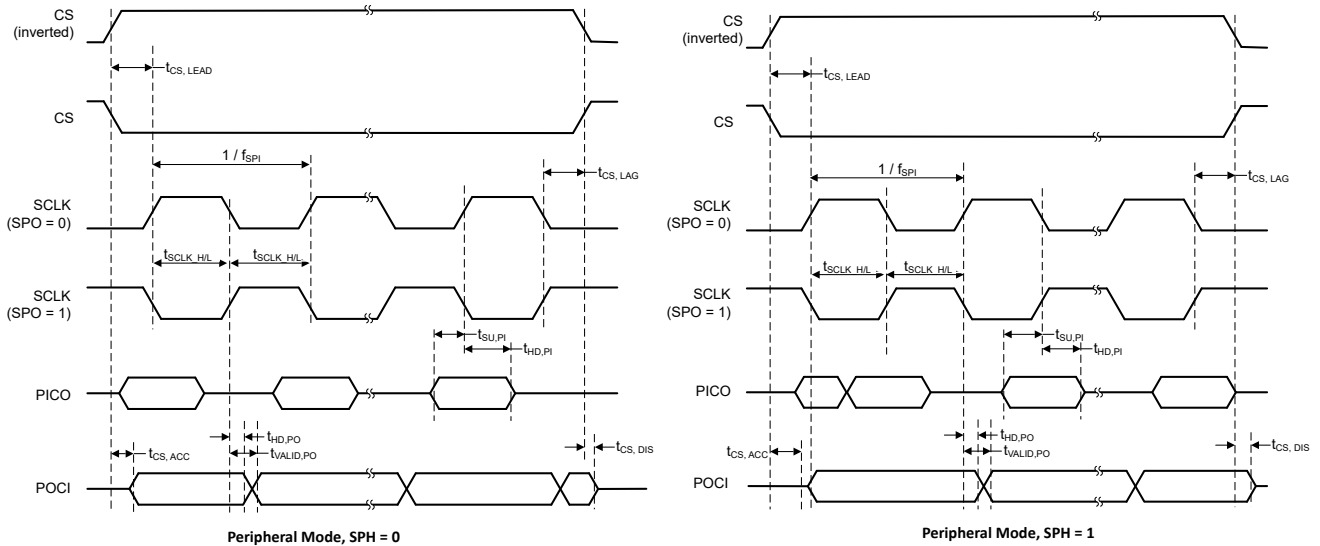


图 7-5. SPI 时序图 - 外设模式

7.18 UART

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
f_{UART}	UART 输入时钟频率			32	MHz
f_{BITCLK}	BITCLK 时钟频率 (等于波特率, 单位为 MBaud)			3	MHz

7.18 UART (continued)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
t _{SP}	由输入滤波器进行抑制的尖峰的脉冲持续时间	AGFSELx = 0	5	5.5	32	ns
		AGFSELx = 1	8	15	55	ns
		AGFSELx = 2	18	38	115	ns
		AGFSELx = 3	30	74	165	ns

7.19 TIMx

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
t _{res}	计时器分辨率时间	f _{TIMxCLK} = 32MHz	31.25			ns
			1			t _{TIMxCLK}
t _{res}	计时器分辨率时间	带有 16 位计数器的 TIMx			16	位
t _{COUNTER}	16 位计数器时钟周期	f _{TIMxCLK} = 32MHz	0.03125		2048	us
			1		65536	t _{TIMxCLK}

7.20 仿真和调试

7.20.1 SWD 时序

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
f _{SWD}	SWD 频率				10	MHz
t _{SWCLKHI}	SWCLK 高电平周期		0.05		500	us
t _{SWCLKLO}	SWCLK 低电平周期		0.05		500	us
SK _{SWDIO}	SWDIO 输出偏斜		-5		5	ns
t _{setup}	SWDIO 设置时间		4			ns
t _{hold}	SWDIO 保持时间		1			ns

8 详细说明

以下各节介绍了构成此数据表中器件的所有元件。这些器件中集成的外设由软件通过存储器映射寄存器 (MMR) 进行配置。有关更多详细信息，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#) 的相应章节。

8.1 CPU

CPU 子系统 (MCPUSS) 上实现了 Arm Cortex-M0+ CPU、指令预取和高速缓存、系统计时器以及中断管理功能。Arm Cortex-M0+ 是一款成本优化的 32 位 CPU，可为嵌入式应用提供高性能和低功耗。该 CPU 子系统的主要特性包括：

- Arm Cortex-M0+ CPU 支持 32kHz 至 32MHz 的时钟频率
 - 带有单周期 32×32 乘法指令的 ARMv6-M Thumb 指令集 (小端字节序)
 - 通过 Arm 单周期 IO 端口对 GPIO 寄存器进行单周期访问
- 用于改进顺序代码执行的预取逻辑和具有 2 个 64 位高速缓存行的指令缓存
- 具有 24 位递减计数器和自动重新加载功能的系统计时器 (SysTick)
- 具有 4 个可编程优先级和尾链的嵌套矢量中断控制器 (NVIC)
- 用于扩展总中断源的中断组，具有用于实现低中断延迟的跳转索引

8.2 操作模式

MSPM0L MCU 提供五种主要工作模式 (功耗模式)，可根据应用要求优化器件功耗。这些模式按照功耗从高到低排列如下：运行、睡眠、停止、待机和关断。CPU 会在运行模式中执行代码。外设中断事件可将器件从睡眠、停止或待机模式唤醒至运行模式。关断模式会完全禁用内部内核稳压器，以更大限度地降低功耗，并且只能通过 NRST、SWD 或某些 IO 上的逻辑电平匹配来实现唤醒。运行、睡眠、停止和待机模式还包括多个可配置的策略选项 (例如，RUN.x)，用于平衡性能与功耗。

为了进一步平衡性能和功耗，MSPM0L 器件实现了两个电源域：PD1 (用于 CPU、存储器和高性能外设) 和 PD0 (用于低速、低功耗外设)。在运行和睡眠模式下，PD1 始终通电，但在所有其他模式下会禁用。PD0 在运行、睡眠、停止和待机模式下始终通电。PD1 和 PD0 在关断模式下都会禁用。

8.2.1 不同工作模式下的功能 (MSPM0L110x)

表 8-1 列出了每种工作模式下支持的功能。

功能键：

- **EN**：该功能会在指定的模式下启用。
- **DIS**：该功能会在指定的模式下被禁用 (时钟或电源门控)，但该功能的配置会保留。
- **OPT**：该功能在指定的模式下是可选的，如果配置为启用，则保持启用状态。
- **NS**：该功能在指定的模式下不会自动禁用，但不受支持。
- **OFF**：该功能在指定的模式下会完全断电，不会保留任何配置信息。

表 8-1. 不同工作模式下支持的功能

工作模式		运行			睡眠			停止			待机		关断
		RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP1	STOP2	STANDBY0	STANDBY1	
振荡器	SYSOSC	EN	EN	DIS	EN	EN	DIS	OPT ⁽¹⁾	EN	DIS	DIS	DIS	OFF
	LFOSC	EN											OFF

表 8-1. 不同工作模式下支持的功能 (continued)

工作模式	运行			睡眠			停止			待机		关断
	RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP1	STOP2	STANDBY0	STANDBY1	
时钟	CPUCLK	32M	32k	32k	DIS							OFF
	MCLK 至 PD1	32M	32k	32k	32M	32k	32k	DIS				OFF
	ULPCLK 至 PD0	32M	32k	32k	32M	32k	32k	4M ⁽¹⁾	4M	32k	DIS	OFF
	ULPCLK 至 TIMG0、TIMG1	32M	32k	32k	32M	32k	32k	4M ⁽¹⁾	4M	32k		OFF
	MFCLK	OPT	DIS		OPT	DIS		OPT		DIS		OFF
	LFCLK	32k									DIS	OFF
	LFCLK 到 TIMG0、TIMG1	32k										OFF
	MCLK 监测器	OPT									DIS	OFF
PMU	POR 监测器	EN										
	BOR 监测器	EN										OFF
	内核稳压器	全驱动					减速驱动			低驱动		OFF
核心功能	CPU	EN			DIS						OFF	
	DMA	OPT					NS (支持的触发器)					OFF
	闪存	EN					OPT ⁽³⁾			DIS		OFF
	SRAM	EN					OPT ⁽³⁾			DIS		OFF
PD1 外设	SPI0	OPT					DIS					OFF
	CRC	OPT					DIS					OFF
PD0 外设	TIMG0、TIMG1	OPT										OFF
	TIMG2、TIMG4	OPT									OPT ⁽²⁾	OFF
	UART0、UART1	OPT									OPT ⁽²⁾	OFF
	I2C0	OPT									OPT ⁽²⁾	OFF
	GPIOA	OPT									OPT ⁽²⁾	OFF
	WWDT0	OPT									DIS	OFF
模拟	ADC0	OPT						NS (支持的触发器)				OFF
	GPAMP	OPT						NS				OFF
IOMUX 和 IO 唤醒	EN										具有唤醒功能的 DIS	
唤醒源	不适用			任何 IRQ			PD0 IRQ				IOMUX、NRST、SWD	

- 如果从 RUN1 进入 STOP0 (SYSOSC 启用, 但 MCLK 来自 LFCLK), 则 SYSOSC 保持启用状态, 就像它在 RUN1 中一样, ULPCLK 保持在 32kHz, 就像它在 RUN1 中一样。如果从 RUN2 进入 STOP0 (SYSOSC 禁用并且 MCLK 来自 LFCLK), 则 SYSOSC 保持禁用状态, 就像它在 RUN2 中一样, ULPCLK 保持在 32kHz, 就像它在 RUN2 中一样。
- 当对待机模式使用 STANDBY1 策略时, 只有 TIMG0 和 TIMG1 有时钟。其他 PD0 外设可在发生外部活动时生成异步快速时钟请求, 但不会主动配备时钟。
- 系统 SRAM 和闪存可在停止模式下保持启用状态, 也可通过 SYSCTL 中 PMODECFG 寄存器的 FLASHLDOSTOP 和 SYSSRAMONSTOP 控制位选择切换到禁用状态。在停止模式下禁用 SRAM 或闪存会降低停止模式下的电流消耗, 但会增加停止模式下的唤醒时间。

8.3 电源管理单元 (PMU)

电源管理单元 (PMU) 为器件生成内部稳压内核电源，并对外部电源 (VDD) 进行监控。PMU 还包含 PMU 本身以及模拟外设所使用的带隙电压基准。PMU 的主要特性包括：

- 上电复位 (POR) 电源监测器
- 欠压复位 (BOR) 电源监测器，具有使用三个可编程阈值的预警功能
- 支持运行、睡眠、停止和待机工作模式的内核稳压器，可在性能与功耗之间实现动态平衡
- 受奇偶校验保护的修整，可在电源管理修整损坏时立即生成上电复位 (POR)

有关更多详细信息，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#) 的“PMU”一章。

8.4 时钟模块 (CKM)

时钟模块提供以下振荡器：

- **LFOSC**：内部低频振荡器 (32kHz)
- **SYSOSC**：内部高频振荡器 (采用出厂调整时为 4MHz 或 32MHz，采用用户调整时为 16MHz 或 24MHz)

以下时钟由时钟模块分配，供处理器、总线和外设使用：

- **MCLK**：PD1 外设的主系统时钟，源自 SYSOSC 或 LFCLK，在运行和睡眠模式下有效
- **CPUCLK**：处理器的时钟 (源自 MCLK)，在运行模式下有效
- **ULPCLK**：PD0 外设的超低功耗时钟，在运行、睡眠、停止和待机模式下有效
- **MFCLK**：外设的 4MHz 固定中频时钟，可用于运行、睡眠和停止模式
- **LFCLK**：外设或 MCLK 的 32kHz 固定低频时钟，在运行、睡眠、停止和待机模式下有效
- **ADCCLK**：ADC 时钟，在运行、睡眠和停止模式下可用
- **CLK_OUT**：用于在外部输出时钟，在运行、睡眠、停止和待机模式下可用

有关更多详细信息，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#) 的“CKM”一章。

8.5 DMA

直接存储器存取 (DMA) 控制器支持将数据从一个存储器地址移到另一个存储器地址，而无需 CPU 干预。例如，DMA 可用于将数据从 ADC 转换存储器移动到 SRAM。通过使 CPU 保持在低功耗模式，而无需将其唤醒来在外设之间移动数据，DMA 降低了系统功耗。

这些器件中的 DMA 支持以下重要特性：

- 3 个独立的 DMA 传输通道
- 可配置的 DMA 通道的优先级
- 字节 (8 位)、短字 (16 位)、字 (32 位) 和长字 (64 位) 或混合字节和字传输能力
- 传输计数器块大小支持传输高达 64k 的任何类型数据
- 可配置的 DMA 传输触发器选择
- 为其他通道提供服务的活动通道中断
- 乒乓缓冲器架构的提前中断生成
- 在另一个通道上的活动完成时级联通道
- 支持数据重组的跨步模式，例如三相计量应用

表 8-2 列出了使用 DMA 存储器映射寄存器中的 DMATCTL.DMATSEL 控制位配置的可用 DMA 触发。

表 8-2. DMA 触发映射

触发器 0:6	SOURCE	触发器 7:13	SOURCE
0	软件	7	I2C1 发布者 2
1	通用订阅者 0 (FSUB_0)	8	SPI0 发布者 1
2	通用订阅者 1 (FSUB_1)	9	SPI0 发布者 2
3	ADC0 发布者 2	10	UART0 发布者 1
4	I2C0 发布者 1	11	UART0 发布者 2

表 8-2. DMA 触发映射 (continued)

触发器 0:6	SOURCE	触发器 7:13	SOURCE
5	I2C0 发布者 2	12	UART1 发布者 1
6	I2C1 发布者 1	13	UART1 发布者 2

8.6 事件

事件管理器将数字事件从一个实体 (例如外设) 传输到另一个实体 (例如, 另一个外设、DMA 或 CPU)。事件管理器通过一组定义的事件发布者 (发生器) 和订阅者 (接收器) 实现事件传输, 这些事件发布者和订阅者通过包含静态路由和可编程路由组合的事件结构进行互连。

事件管理器传输的事件包括:

- 作为中断请求 (IRQ) 传输到 CPU 的外设事件 (静态事件)
 - 示例: GPIO 中断会发送到 CPU
- 作为 DMA 触发器传输到 DMA 的外设事件 (DMA 事件)
 - 示例: 传输到 DMA、请求 DMA 传输的 UART 数据接收触发器
- 传输到另一个外设以直接触发硬件中操作的外设事件 (通用事件)
 - 示例: TIMx 计时器外设将周期性事件发布到 ADC 订阅者端口, ADC 使用该事件触发采样开始

有关更多详细信息, 请参阅 [MSPM0L 系列 32MHz 微控制器技术参考手册](#) 中的“事件”一章。

表 8-3. 通用事件通道

通用路由是点对点 (1:1) 路由或一分二 (1:2) 分离器路由, 其中发布事件的外设配置为使用多个可用的通用路由通道之一来将事件发布到另一个实体 (如果是分离器路由, 则为多个实体)。实体可以是另一个外设、通用 DMA 触发事件或通用 CPU 事件。

CHANID	通用路由通道选择	通道类型
0	未选择通用事件通道	不适用
1	选择了通用事件通道 1	1 : 1
2	选择了通用事件通道 2	1 : 1
3	选择了通用事件通道 3	1 : 2 (分离器)

8.7 存储器

8.7.1 内存组织

表 8-4 总结了各个器件的存储器映射。有关存储器区域详情的更多信息, 请参阅 [MSPM0L 系列 32MHz 微控制器技术参考手册](#) 中的平台存储器映射部分。

表 8-4. 内存组织

存储器区域	子区域	MSPM0L1105	MSPM0L1106
代码 (闪存)	MAIN ⁽³⁾	32KB - 8B ⁽¹⁾ 0x0000.0000 至 0x0000.7FF8	64KB - 8B ⁽¹⁾ 0x0000.0000 至 0x0000.FFF8
	别名 MAIN ^{(2) (3)}	0x0040.0000 至 0x0040.7FF8	0x0040.0000 至 0x0040.FFF8
SRAM (SRAM)	SRAM	4KB 0x2000.0000 至 0x2000.1000	4KB 0x2000.0000 至 0x2000.1000
	别名 SRAM ⁽²⁾	0x2000.0000 至 0x2000.1000	0x2000.0000 至 0x2000.1000

表 8-4. 内存组织 (continued)

存储器区域	子区域	MSPM0L1105	MSPM0L1106
外设	外设	0x4000.0000 至 0x40FF.FFFF	0x4000.0000 至 0x40FF.FFFF
	MAIN ⁽³⁾	0x0000.0000 至 0x0000.7FF8	0x0000.0000 至 0x0000.FFF8
	别名 MAIN ^{(2) (3)}	0x0040.0000 至 0x0040.7FF8	0x0040.0000 至 0x0040.FFF8
	NONMAIN	512 字节 0x41C0.0000 至 0x41C0.0200	512 字节 0x41C0.0000 至 0x41C0.0200
	别名 NONMAIN ⁽²⁾	0x41C1.0000 至 0x41C1.0200	0x41C1.0000 至 0x41C1.0200
	FACTORY	0x41C4.0000 至 0x41C4.0080	0x41C4.0000 至 0x41C4.0080
	别名 FACTORY ⁽²⁾	0x41C5.0000 至 0x41C5.0080	0x41C5.0000 至 0x41C5.0080
	子系统	0x6000.0000 至 0x7FFF.FFFF	0x6000.0000 至 0x7FFF.FFFF
	系统 PPB	0xE000.0000 至 0xE00F.FFFF	0xE000.0000 至 0xE00F.FFFF

(1) 第一个 32KB 闪存 (地址 0x0000.0000 至 0x0000.8000) 具有高达 100000 个编程和擦除周期。

(2) 别名存储器读取与相应存储器区域相同的区域。之所以包含别名存储器是为了保持兼容具有 ECC 的器件。

(3) CPU 访问闪存区域最后 8 个字节之一将导致硬故障。这是因为预取逻辑会尝试提前读取一个闪存字 (64 位), 导致对无效存储器位置的读取尝试。

8.7.2 外设文件映射

表 8-5 列出了可用的外设和每个外设的寄存器基地址。

表 8-5. 外设汇总

外设名称	基址	尺寸
VREF	0x40030000	0x2000
WWDT0	0x40080000	0x2000
TIMG0	0x40084000	0x2000
TIMG1	0x40086000	0x2000
TIMG2	0x40088000	0x2000
TIMG4	0x4008C000	0x2000
GPIO0	0x400A0000	0x2000
SYSCTL	0x400AF000	0x3000
DEBUGSS	0x400C7000	0x2000
事件	0x400C9000	0x3000
NVMNW	0x400CD000	0x2000
I2C0	0x400F0000	0x2000
I2C1	0x400F2000	0x2000
UART1	0x40100000	0x2000
UART0	0x40108000	0x2000
MCPUSS	0x40400000	0x2000
WUC	0x40424000	0x1000
IOMUX	0x40428000	0x2000
DMA	0x4042A000	0x2000
CRC	0x40440000	0x2000
SPI0	0x40468000	0x2000
ADC	0x4055A000	0x1000

8.7.3 外设中断向量

表 8-6 显示了此器件中每个外设的 IRQ 编号和中断组号。

表 8-6. 中断向量编号

外设名称	NVIC IRQ	组 IIDX
WWDT0	0	0
DEBUGSS	0	2
NVMNW	0	3
SYSCTL	0	6
GPIO0	1	0
TIMG1	2	-
ADC	4	-
SPI0	9	-
UART1	13	-
UART0	15	-
TIMG0	16	-
TIMG2	18	-
TIMG4	20	-
I2C0	24	-
I2C1	25	-
DMA	31	-

8.8 闪存存储器

该器件提供了单组非易失性闪存存储器来存储可执行程序代码和应用数据。

该闪存的主要特性包括：

- 在整个推荐电源电压范围内支持电路内编程和擦除操作
- 1KB 小扇区大小 (最小擦除分辨率为 1KB)
- 在下部 32KB 闪存上最多可执行 100000 个编程和擦除周期, 在其余闪存上最多可执行 10000 个编程和擦除周期 (闪存为 32KB 或更低的器件在整个闪存上支持 100000 个周期)

有关闪存的完整说明, 请参阅 [MSPM0L 系列 32MHz 微控制器技术参考手册](#) 的“NVM”一章。

8.9 SRAM

MSPM0Lxx MCU 包含一个低功耗高性能 SRAM 存储器, 可在器件支持的 CPU 频率范围内实现零等待状态访问。SRAM 存储器可用于存储易失性信息, 例如调用栈、堆、全局数据和代码。SRAM 存储器内容在运行、睡眠、停止和待机操作模式下完全保留, 并在关断模式下丢失。该器件提供了一种写保护机制, 允许应用程序以 1KB 的分辨率对下部 32KB SRAM 存储器进行动态写保护。在 SRAM 小于 32KB 的器件上, 器件为整个 SRAM 存储器提供了写保护。当将可执行代码放入 SRAM 时, 写保护很有用, 可针对 CPU 或 DMA 无意覆盖代码提供一定程度的保护。将代码放置在 SRAM 中可以通过实现零等待状态操作和降低功耗来提高关键循环的性能。

8.10 GPIO

通用输入/输出 (GPIO) 外设允许应用通过器件引脚写入数据和读取数据。通过使用端口 A GPIO 外设, 这些器件支持多达 28 个 GPIO 引脚。

GPIO 模块的主要特性包括：

- 从 CPU 访问 MMR 的 0 等待状态
- 无需在软件中使用读取、修改、写入结构, 即可设置、清除或切换多个位
- “快速唤醒”功能支持通过任意 GPIO 端口从停止和待机模式进行低功耗唤醒
- 用户控制的输入滤波

8.11 IOMUX

IOMUX 外设支持 IO 焊盘配置并控制进出器件引脚的数字数据流。IOMUX 的主要特性包括：

- IO 焊盘配置寄存器支持可编程驱动强度、速度、上拉或下拉等
- 数字引脚多路复用允许将多个外设信号路由到同一个 IO 焊盘
- 引脚功能和能力由用户使用 PINCM 寄存器进行配置

有关更多详细信息，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#) 中的“IOMUX”一章。

8.12 ADC

这些器件中的 12 位模数转换器 (ADC) 模块支持采用单端输入的快速 12 位转换。

ADC 模块特性包括：

- 12 位输出分辨率，速率高达 1.45MSPS 且 ENOB 大于 11 位
- 多达 10 个外部输入通道
- 内部通道用于温度检测、电源监测和模拟信号链（例如，与 OPA 或 GPAMP 的互连）
- 软件可选基准：
 - 1.4V 和 2.5V 的可配置内部专用 ADC 基准电压 (VREF)
 - MCU 电源电压 (VDD)
 - 通过 VREF+和 VREF- 引脚为 ADC 提供外部基准
- 在运行、睡眠和停止模式下运行，并支持从待机模式触发

表 8-7. ADC0 通道映射

CHANNEL[0:7]	信号名称	CHANNEL[8:15]	信号名称 ¹
0	A0	8	A8
1	A1	9	A9
2	A2	10	-
3	A3	11	温度传感器
4	A4	12	
5	A5	13	
6	A6	14	GPAMP 输出
7	A7	15	电源/电池监测器

1. 以斜体显示的信号名称表示 SoC 的内部信号。这些信号用于内部外设互连。
2. 有关器件模拟连接的更多信息，请参阅节 8.22。

有关更多详细信息，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#) 中的“ADC”一章。

8.13 温度传感器

温度传感器提供随器件温度呈线性变化的电压输出。温度传感器输出在内部连接到其中一个 ADC 输入通道，以实现温度数字转换。

出厂常量存储器区域中提供了温度传感器的单位专用单点校准值。该校准值表示与在 12 位模式下使用 1.4V 内部 VREF 在出厂修整温度 (T_{STRIM}) 下测量的温度传感器相对应的 ADC 转换结果（采用 ADC 代码格式）。此校准值可与温度传感器温度系数 (T_{SC}) 一起使用，以估算器件温度。有关如何通过出厂修整值估算器件温度的指导，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#) 中的“温度传感器”一节。

8.14 VREF

这些器件中的电压基准模块 (VREF) 包含一个专用于板载 ADC 的可配置电压基准缓冲器。这些器件还支持为要求更高精度的应用连接外部基准。

VREF 的功能包括：

- 1.4V 和 2.5V 用户可选内部基准

- 内部基准支持高达 200ksps 的 ADC 运行
- 支持在 VREF+ 和 VREF- 器件引脚上为板载模拟外设提供外部基准

有关更多详细信息，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#) 的“VREF”一章。

8.15 GPAMP

通用放大器 (GPAMP) 外设是具有轨到轨输入和输出的斩波稳定型通用运算放大器。

该 GPAMP 支持以下特性：

- 软件可选斩波稳定
- 轨至轨输入和输出
- 具有 100 μ A 静态电流的 350kHz GBW
- 可编程内部单位增益反馈环路

有关更多详细信息，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#) 的“ADC”一章。

8.16 CRC

循环冗余校验 (CRC) 模块为输入数据序列提供签名。CRC 模块的主要特性包括：

- 支持基于 CRC16-CCITT 的 16 位 CRC
- 支持基于 CRC32-ISO3309 的 32 位 CRC
- 支持位反转

有关更多详细信息，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#) 的“CRC”一章。

8.17 UART

UART 外设提供以下主要特性：

- 标准的异步通讯位：起始位、停止位、奇偶校验位；
- 完全可编程串行接口
 - 5、6、7 或 8 个数据位
 - 偶校验、奇校验、固定校验或无奇偶校验位生成与检测
 - 可产生 1 或 2 个停止位
 - 线路中断检测
 - 输入信号上的干扰滤波器
 - 可编程波特率生成，过采样率为 16、8 或 3
 - 本地互连网络 (LIN) 模式支持
- 独立的发送和接收 FIFO 支持 DAM 数据传输
- 支持发送和接收环回模式操作
- 有关受支持协议的详细信息，请参阅表 8-8

表 8-8. UART 特性

UART 特性	UART0 (扩展)	UART1 (主要)
在停止和待机模式下处于运行状态	有	有
独立的发送 FIFO 和接收 FIFO	有	有
支持硬件流控制	有	有
支持 9 位配置	有	有
支持 LIN 模式	是	-
支持 DALI	是	-
支持 IrDA	是	-
支持 ISO7816 Smart Card	是	-
支持曼彻斯特编码	是	-

有关更多详细信息，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#) 的“UART”一章。

8.18 SPI

这些器件中的串行外设接口 (SPI) 外设支持以下主要特性：

- 支持 ULPCLK/2 比特率，最高可达 16Mb/s (在控制器和外设模式下)
- 可配置为控制器或外设
- 控制器和外设的可配置芯片选择
- 可编程时钟预分频器和比特率
- 4 位至 16 位的可编程数据帧大小 (控制器模式)²
- 7 位至 16 位的可编程数据帧大小 (外设模式)³
- 独立的发送和接收 FIFO 支持 DMA 数据传输
- 支持 TI 模式、Motorola 模式和 National Microwire 格式

有关更多详细信息，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#) 的“SPI”一章。

8.19 I2C

这些器件中的内部集成电路接口 (I²C) 外设提供与总线上其他 I2C 器件的双向数据传输，并支持以下主要特性：

- 具有多个 7 位目标地址的 7 位和 10 位寻址模式
- 多控制器发送器或接收器模式
- 具有可配置时钟扩展的目标接收器或发送器模式
- 支持标准模式 (SM)，比特率高达 100kbit/s
- 支持快速模式 (FM)，比特率高达 400kbit/s
- 支持超快速模式 (FM+)，比特率高达 1Mbit/s
- 独立的发送和接收 FIFO 支持 DMA 数据传输
- 支持具有 PEC、ARP、超时检测和主机支持的 SMBus 3.0
- 在地址匹配时从低功耗模式唤醒
- 支持用于输入信号干扰抑制的模拟和数字干扰滤波器

有关更多详细信息，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#) 的“I2C”一章。

8.20 WWDT

窗口化看门狗计时器 (WWDT) 可用于监控器件的运行，特别是代码执行。如果应用软件在一个指定的时间窗口内没有成功地复位看门狗，WWDT 用来生成一个复位或者中断。WWDT 的主要特性包括：

- 25 位计数器
- 可编程时钟分频器
- 八个软件可选看门狗计时器周期
- 八种软件可选窗口大小
- 支持在进入睡眠模式时自动停止 WWDT
- 提供间隔计时器模式，适用于不需要看门狗功能的应用

有关更多详细信息，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#) 中的“WWDT”一章。

8.21 计时器 (TIMx)

这些器件中的计时器外设支持以下关键特性。有关具体配置，请参阅表 8-9。

通用计时器 (TIMGx) 的具体特性包括：

- 具有重复重新加载模式的 16 位递减、递增/递减或递增计数器
- 具有重复重新加载模式的 32 位递减、递增/递减或递增计数器
- 可选和可配置的时钟源
- 用于对计数器时钟频率进行分频的 8 位可编程预分频器
- 两个独立通道，用于：

² MSPM0L 不支持允许将 2 个 16 位 FIFO 条目打包为一个 32 位值的 PACKEN 功能

³ 请参阅脚注 2

- 输出比较
- 输入捕捉
- PWM 输出
- 单稳态模式
- 支持用于定位和移动检测的正交编码器接口 (QEI)
- 支持同一电源域中不同 TIMx 实例之间的同步和交叉触发
- 支持中断/DMA 触发生成以及跨外设 (例如 ADC) 触发功能
- 霍尔传感器输入的交叉触发事件逻辑

表 8-9. 不同的 TIMG 配置

TIM 名称	电源域	分辨率	预分频器	捕捉/比较通道	外部 PWM 通道	相负载	影子负载	影子 CC
TIMG0	PD0	16 位	8 位	2	2	-	-	-
TIMG1	PD0	16 位	8 位	2	2	-	-	-
TIMG2	PD0	16 位	8 位	2	2	-	-	-
TIMG4	PD0	16 位	8 位	2	2	-	是	有

有关更多详细信息，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#) 中的计时器章节。

8.22 器件模拟连接

图 8-1 显示了该器件的内部模拟连接。

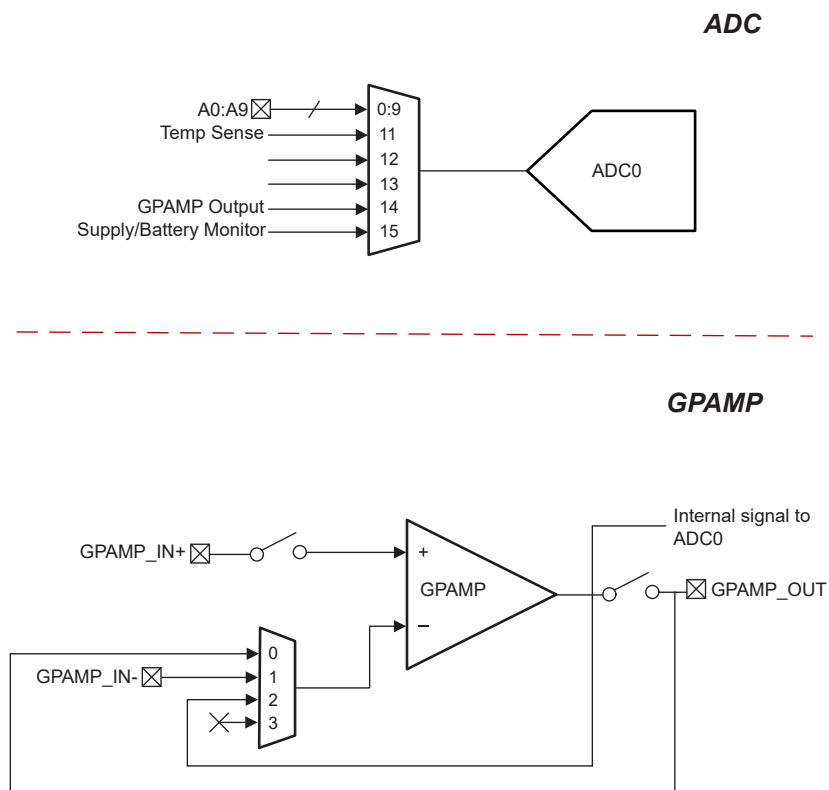


图 8-1. 模拟连接

8.23 输入/输出图

IOMUX 管理要在数字 IO 上使用哪个外设功能的选择，并为输出驱动器、输入路径和用于从关断模式唤醒的唤醒逻辑提供控制。有关更多信息，请参阅 *MSPM0 L 系列 32MHz 微控制器技术参考手册* 的“**IOMUX**”部分。

全功能 IO 引脚的混合信号 IO 引脚切片图如图 8-2 所示。并非所有引脚都具有模拟功能、唤醒逻辑、驱动强度控制以及上拉或下拉电阻器。有关特定引脚支持哪些功能的详细信息，请参阅特定于器件的数据表。

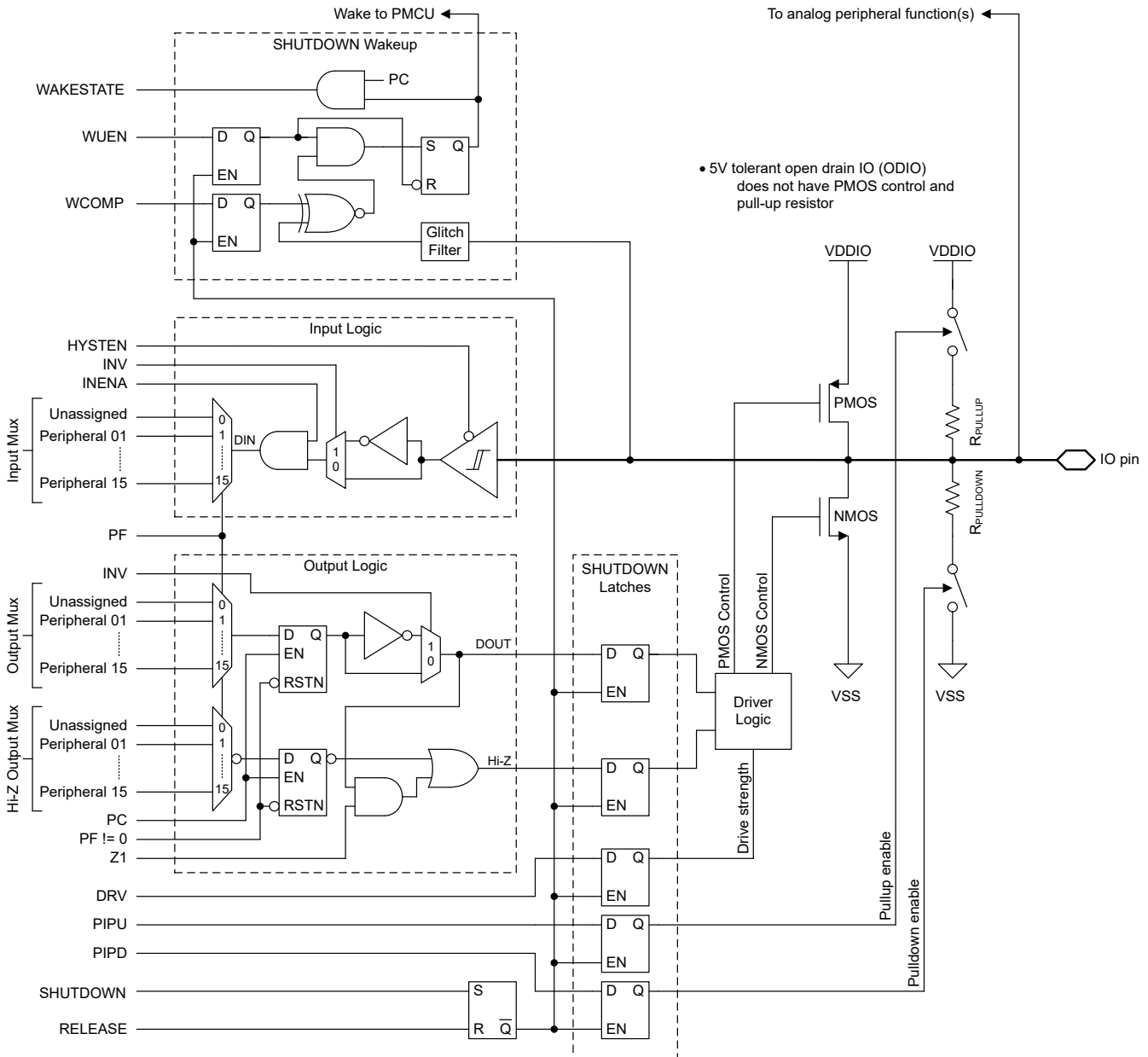


图 8-2. 超集输入/输出图

8.24 引导加载程序 (BSL)

引导加载程序 (BSL) 支持进行器件配置以及通过 UART 或 I2C 串行接口对器件存储器进行编程。通过 BSL 对器件存储器和配置的访问受 256 位用户定义的密码保护，如果需要，可以完全禁用器件配置中的 BSL。TI 默认会启用 BSL，以支持将 BSL 用于生产编程。

使用 BSL 至少需要两个引脚：BSLRX 和 BSLTX 信号（用于 UART），或 BLSLCL 和 BLSLSDA 信号（用于 I²C）。此外，可以使用一个或两个额外引脚（BSL_invoke 和 NRST）来通过外部主机对引导加载程序进行受控调用。

如果启用，则可通过以下方式调用（启动）BSL：

- 如果 BSL_invoke 引脚状态与定义的 BSL_invoke 逻辑电平匹配，则会在引导过程中调用 BSL。如果启用了器件快速引导模式，则会跳过此调用检查。外部主机可以通过置位调用条件并向 NRST 引脚施加复位脉冲来触发 BOOTRST，从而强制器件进入 BSL。之后，器件将在重启过程中验证调用条件，如果调用条件与预期的逻辑电平匹配，则启动 BSL。
- 如果复位矢量和堆栈指针未编程，则在启动过程中会自动调用 BSL。因此，TI 的空白器件将在引导过程中调用 BSL，而无需在 BSL_invoke 引脚上提供硬件调用条件。这使得只使用串行接口信号即可进行生产编程。
- 可在运行时通过使用 BSL 进入命令发出 SYSRST 从应用软件调用 BSL。

表 8-10. BSL 引脚要求和功能

器件信号	连接	BSL 功能
BSLRX	UART 所需	UART 接收信号 (RXD)，输入
BSLTX	UART 所需	UART 发送信号 (TXD)，输出
BLSLCL	I ² C 所需	I ² C BSL 时钟信号 (SCL)
BLSLSDA	I ² C 所需	I ² C BSL 数据信号 (SDA)
BSL_invoke	可选	用于在引导期间启动 BSL 的高电平有效数字输入
NRST	可选	用于触发调用信号复位和后续检查 (BSL_invoke) 的低电平有效复位引脚

8.25 串行线调试接口

一个串行线调试 (SWD) 两线制接口由一个与 Arm 兼容的串行线调试端口 (SW-DP) 提供，用于访问器件内的多个调试功能。有关 MSPM0 器件上提供的调试功能的完整说明，请参阅技术参考手册的调试一章。

表 8-11. 串行线调试引脚要求和功能

器件信号	方向	SWD 功能
SWCLK	输入	来自调试探针的串行线时钟
SWDIO	输入/输出	双向（共享）串行线数据

8.26 器件出厂常量

所有器件都包含一个存储器映射出厂区域，该区域提供描述器件功能的只读数据以及任何出厂提供的修整信息，供应用软件使用。请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#) 的出厂常量部分。

表 8-12. DEVICEID

DEVICEID 地址为 0x41C4.0004，PARTNUM 为位 12 至 27，MANUFACTURER 为位 1 至 11。

器件	DEVICEID.PARTNUM	DEVICEID.MANUFACTURER
MSPM0L1105	0xBB82	0x17
MSPM0L1106	0xBB82	0x17

表 8-13. USERID

USERID 地址为 0x41C4.0008，PART 为位 0 至 15，VARIANT 为位 16 至 23

器件	部件	变体	器件	部件	变体
MSPM0L1106TRHBR	0x5552	0x53	MSPM0L1105TRHBR	0x51DB	0x68
MSPM0L1106TDGS28R	0x5552	0x98	MSPM0L1105TDGS28R	0x51DB	0x83
MSPM0L1106TRGER	0x5552	0x90	MSPM0L1105TRGER	0x51DB	0x86
MSPM0L1106TDGS20R	0x5552	0x4B	MSPM0L1105TDGS20R	0x51DB	0x16

表 8-13. USERID (continued)

USERID 地址为 0x41C4.0008，PART 为位 0 至 15，VARIANT 为位 16 至 23

器件	部件	变体	器件	部件	变体
MSPM0L1106TDYYR	0x5552	0x9D	MSPM0L1105TDYYR	0x51DB	0x54

8.27 识别

修订版本和器件标识

硬件修订版本和器件标识值存储在存储器映射出厂区域中（请参阅“器件出厂常量”部分），该区域提供了描述器件功能的只读数据以及任何出厂提供的修整信息，以供应用软件使用。有关更多信息，请参阅 [MSPM0 L 系列 32MHz 微控制器技术参考手册](#) 的出厂常量一章。

器件修订版本和标识信息也包含在器件封装的顶部标记中。特定于器件的勘误表中介绍了这些标记。

9 应用、实现和布局

9.1 典型应用

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1.1 原理图

TI 建议将 10 μ F 和 0.1nF 的低 ESR 陶瓷去耦电容组合连接至 VDD 和 VSS 引脚。可以使用值更大的电容，但可能会影响电源轨斜升时间。去耦电容必须尽可能靠近其去耦的引脚的位置（几毫米范围内）。

NRST 复位引脚必须连接一个外部 47k Ω 上拉电阻和一个 10nF 下拉电容。

SYSOSC 频率校正环路 (FCL) 电路利用一个组装在 ROSC 引脚和 VSS 之间的外部 100k Ω 电阻，通过为 SYSOSC 提供精密基准电流来稳定 SYSOSC 频率。如果未启用 SYSOSC FCL，则不需要该电阻。

VCORE 引脚上需要连接一个 0.47 μ F 的电容，并且该电容必须靠近器件放置，与器件接地之间的距离最小。

对于 5V 容限开漏 (ODIO)，如果使用 ODIO，则需要一个上拉电阻来为 I2C 和 UART 功能输出高电平。

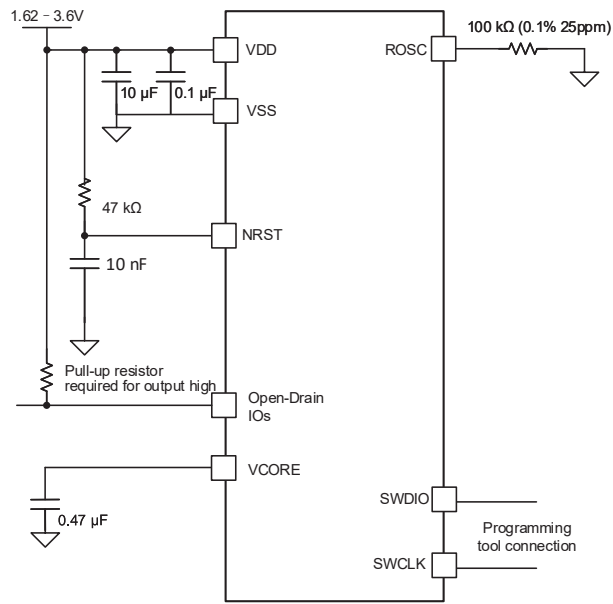


图 9-1. 典型应用原理图

10 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 器件命名规则

为了指出产品开发周期所处的阶段，TI 为所有 MSP MCU 器件和支持工具的产品型号分配了前缀。每个 MSP MCU 商用系列产品都具有以下两个前缀之一：MSP 或 X。这些前缀代表了产品开发的发展阶段，即从工程原型 (X) 直到完全合格的生产器件 (MSP)。

X - 实验器件，不一定代表最终器件的电气规格

MSP - 完全合格的生产器件

X 器件在供货时附带如下免责声明：

“开发中的产品用于内部评估用途。” MSP 器件的特性已经全部明确，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。预测显示原型器件 (X) 的故障率大于标准生产器件。由于这些器件的预计最终使用故障率尚不确定，德州仪器 (TI) 建议不要将它们用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。此后缀表示温度范围、封装类型和配送形式。图 10-1 提供了解读完整器件名称的图例。

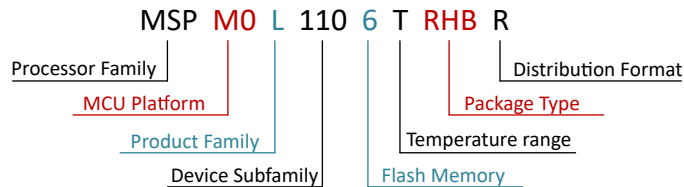


图 10-1. 器件命名规则

表 10-1. 器件命名规则

处理器系列	MSP = 混合信号处理器 X = 实验性器件
MCU 平台	M0 = 基于 Arm 的 32 位 M0+
产品系列	L = 32MHz 频率
器件子系列	110 = ADC
闪存存储器	5 = 32KB 6 = 64KB
温度范围	T = -40°C 至 105°C S = -40°C 至 125°C
封装类型	请参阅表 5-1 和 www.ti.com/packaging
配送形式	T = 小卷带 R = 大卷带 无标记 = 管装或托盘

如需 MSP 器件不同封装类型的可订购器件型号，请参阅本文的“封装选项附录”，浏览 ti.com，或联系您的 TI 销售代表。

10.2 工具与软件

设计套件与评估模块

MSPM0 LaunchPad (LP) 板 : LP-MSPM0L1306

支持立即在业内出色的集成式模拟和低成本通用 MSPM0 MCU 系列上开始进行开发。展示了所有器件引脚和功能；包括一些内置电路、开箱即用软件演示，以及用于编程、调试和 EnergyTrace™ 技术的板载 XDS110 调试探针。

LP 生态系统包括数十个用于扩展功能的 BoosterPack™ 可堆叠插件模块。

嵌入式软件

MSPM0 软件开发套件 (SDK)

包含软件驱动程序、中间件库、文档、工具和代码示例，可为所有 MSPM0 器件提供熟悉且简单的用户体验。

软件开发工具

TI 云工具

在网络浏览器上开始评估和开发，无需进行任何安装。云工具还具有可下载的离线版本。

TI Resource Explorer

TI SDK 的在线门户。可在 CCS IDE 或 TI 云工具中访问。

SysConfig

直观的 GUI，可用于配置器件和外设、解决系统冲突、生成配置代码，以及自动进行引脚多路复用设置。可在 CCS IDE 或 TI 云工具中访问。 ([离线版](#))

MSP Academy

所有开发人员了解 MSPM0 MCU 平台的良好起点，其中包含涵盖各种主题的培训模块。TIRex 的一部分。

GUI Composer

简化评估某些 MSPM0 功能的 GUI，例如无需任何代码即可配置和监测完全集成的模拟信号链。

IDE 和编译器工具链

Code Composer Studio™ (CCS)

包括 TI Arm-Clang 编译器。支持所有 TI Arm Cortex MCU，并具有有竞争力的代码大小性能优势、编译时间短、代码覆盖支持、安全认证支持和完全免费使用。

IAR Embedded Workbench® IDE

Keil® MDK IDE

GNU Arm 嵌入式工具链

10.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

10.4 商标

LaunchPad™, Code Composer Studio™, TI E2E™, EnergyTrace™, and BoosterPack™ are trademarks of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

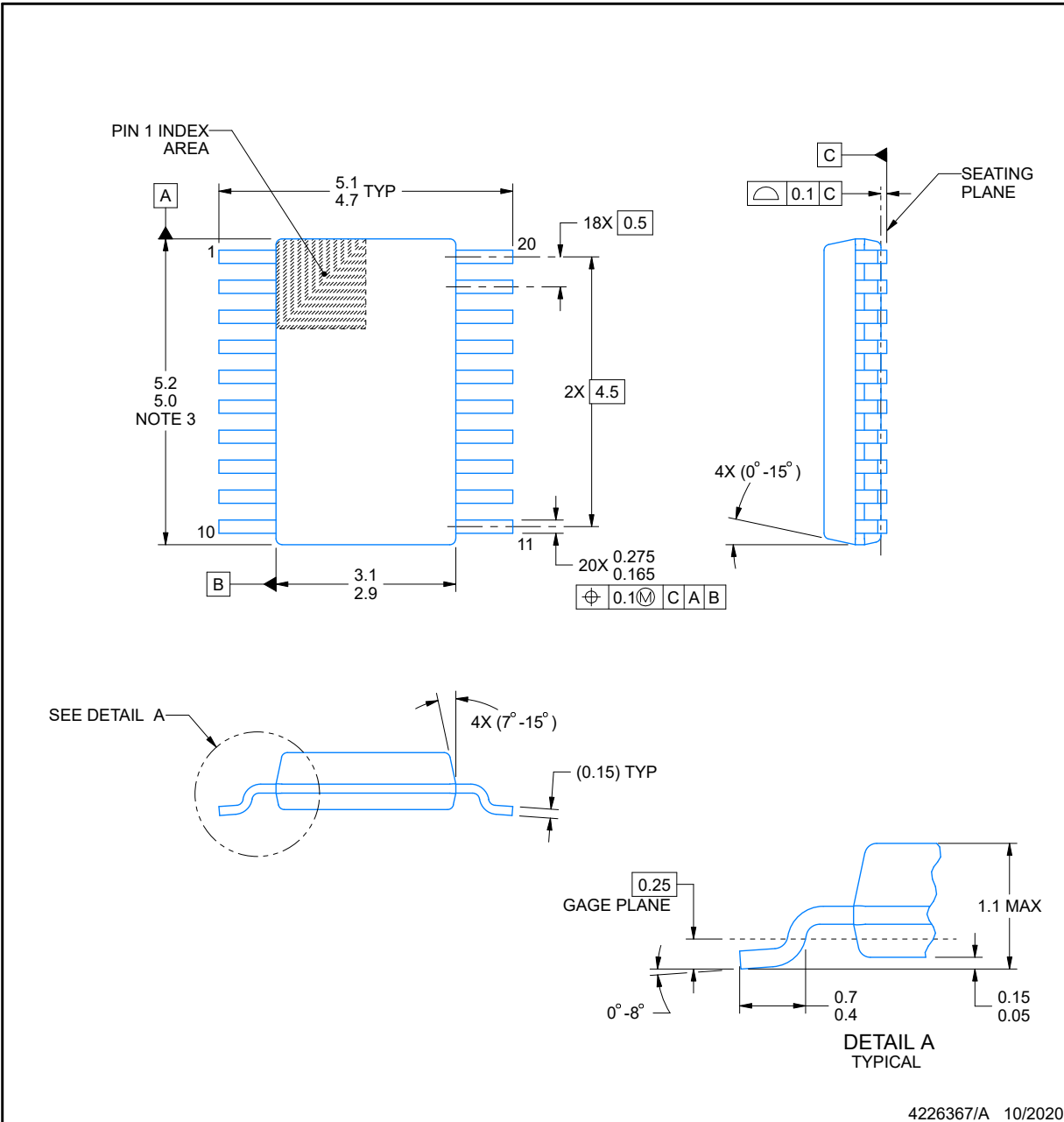
PACKAGE OUTLINE

DGS0020A



VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



ADVANCE INFORMATION

NOTES:

PowerPAD is a trademark of Texas Instruments.

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- No JEDEC registration as of September 2020.
- Features may differ or may not be present.

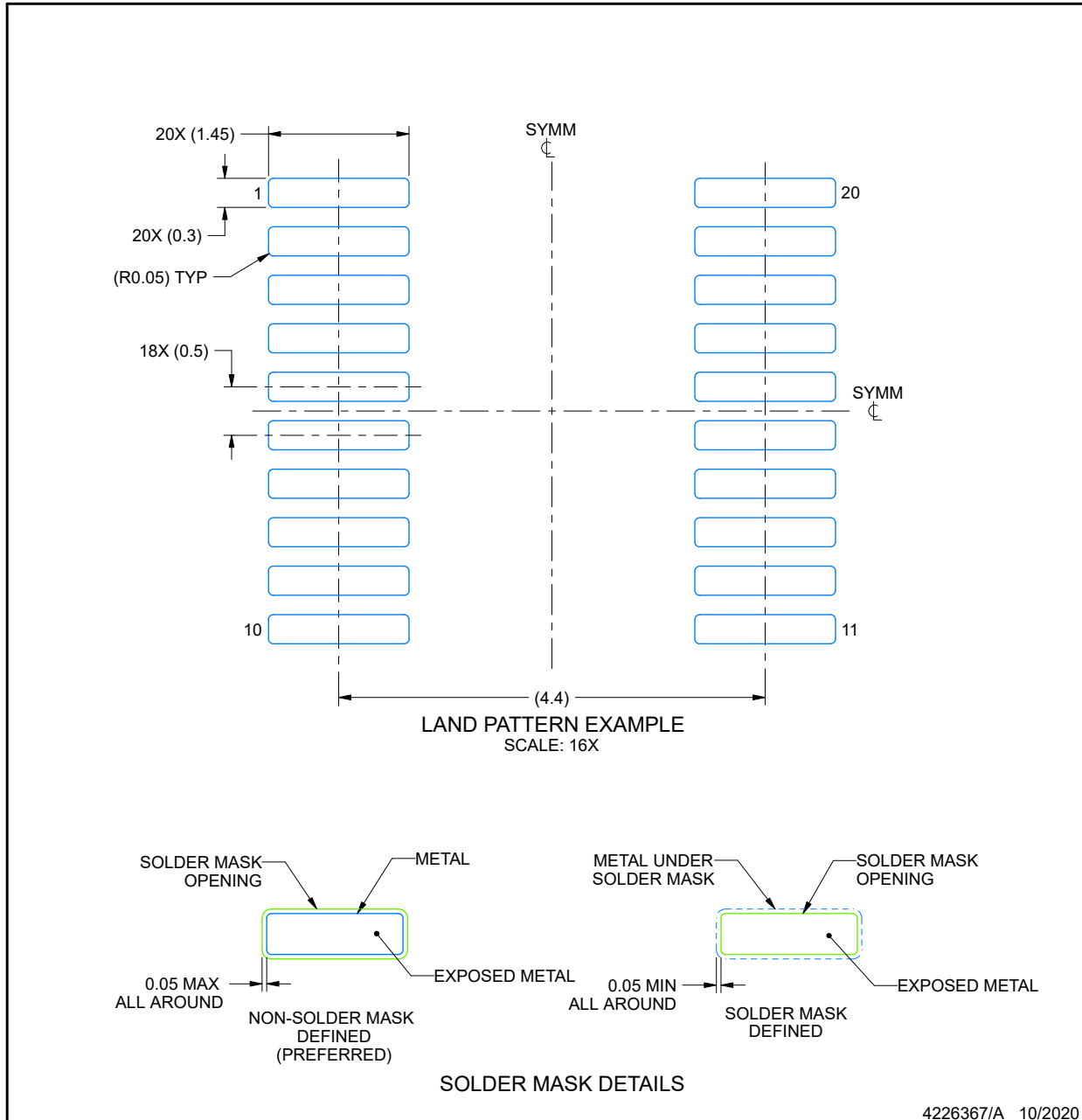
EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

ADVANCE INFORMATION



4226367/A 10/2020

NOTES: (continued)

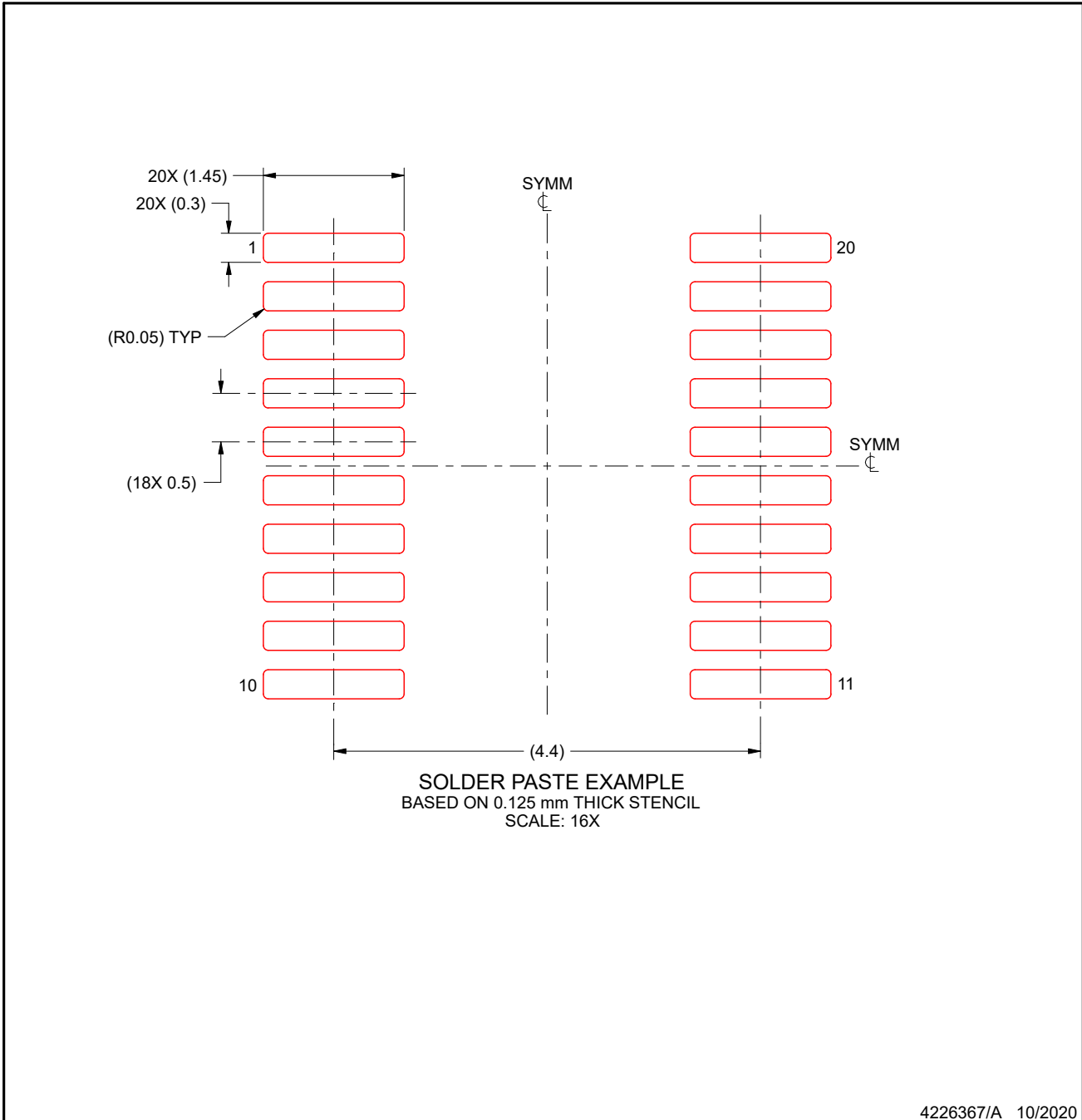
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



ADVANCE INFORMATION

NOTES: (continued)

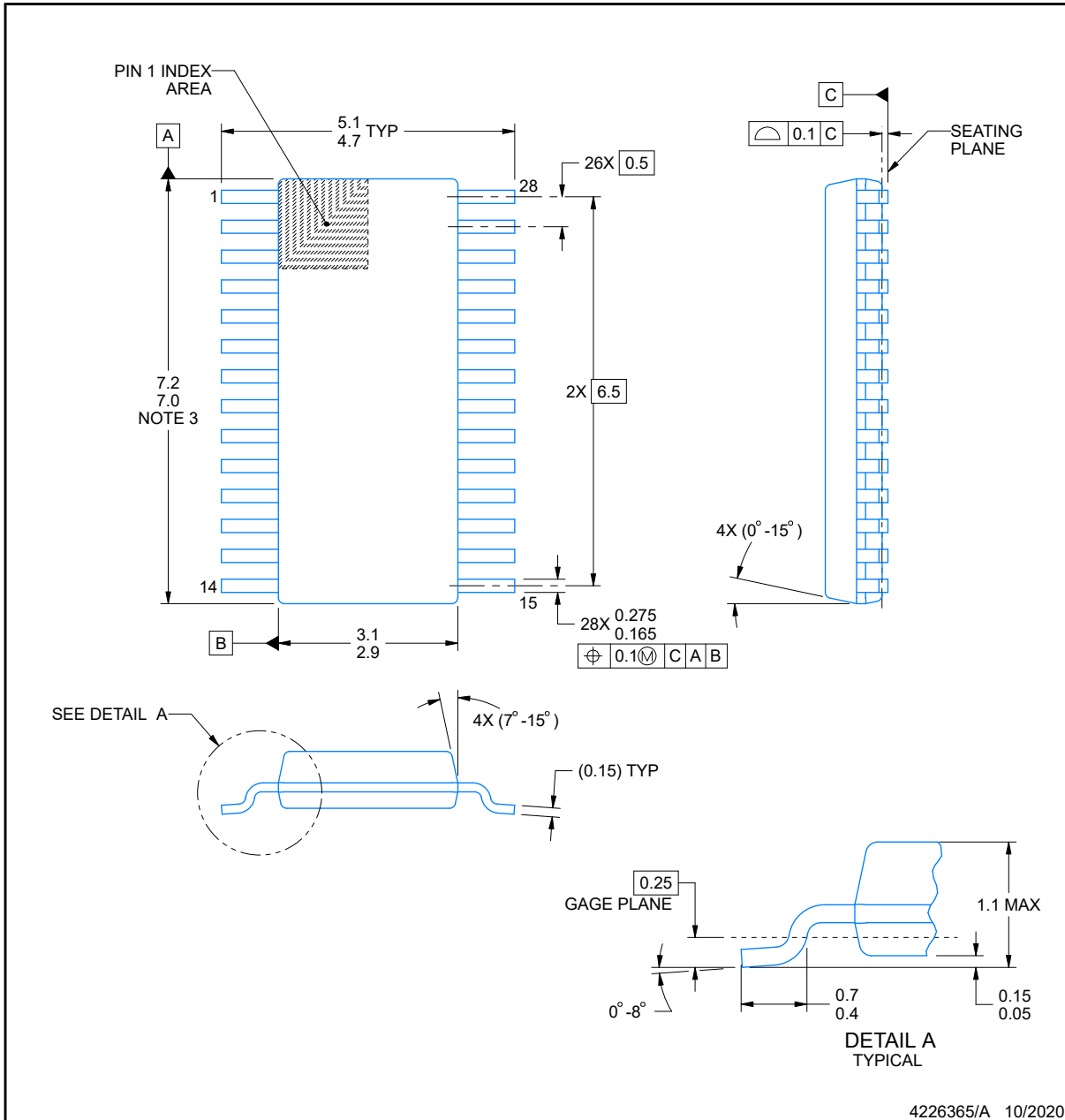
- 11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 12. Board assembly site may have different recommendations for stencil design.



DGS0028A

PACKAGE OUTLINE
VSSOP - 1.1 mm max height
 SMALL OUTLINE PACKAGE

ADVANCE INFORMATION



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

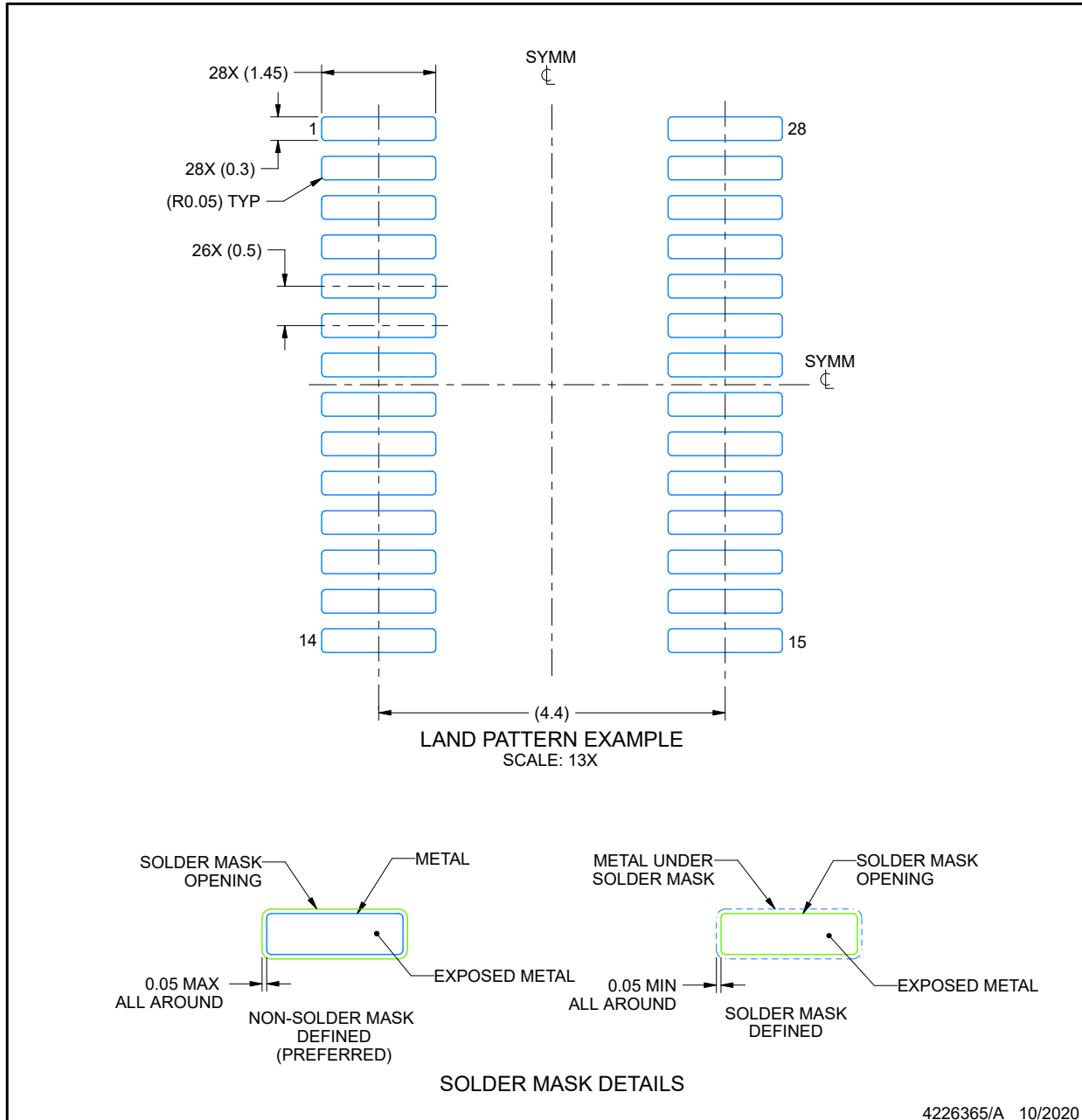
PowerPAD is a trademark of Texas Instruments.

EXAMPLE BOARD LAYOUT

DGS0028A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



ADVANCE INFORMATION

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

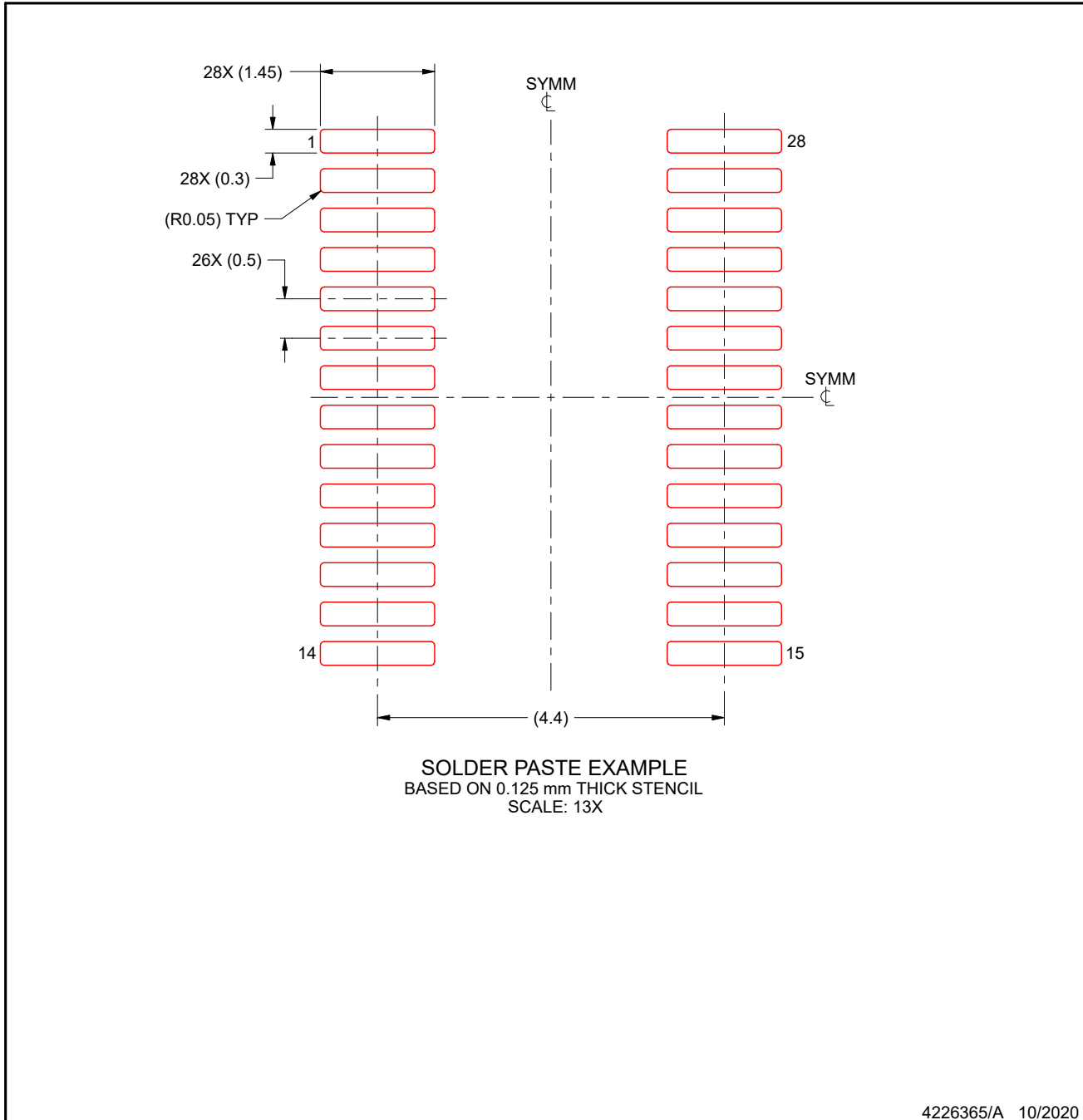
EXAMPLE STENCIL DESIGN

DGS0028A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

ADVANCE INFORMATION



NOTES: (continued)

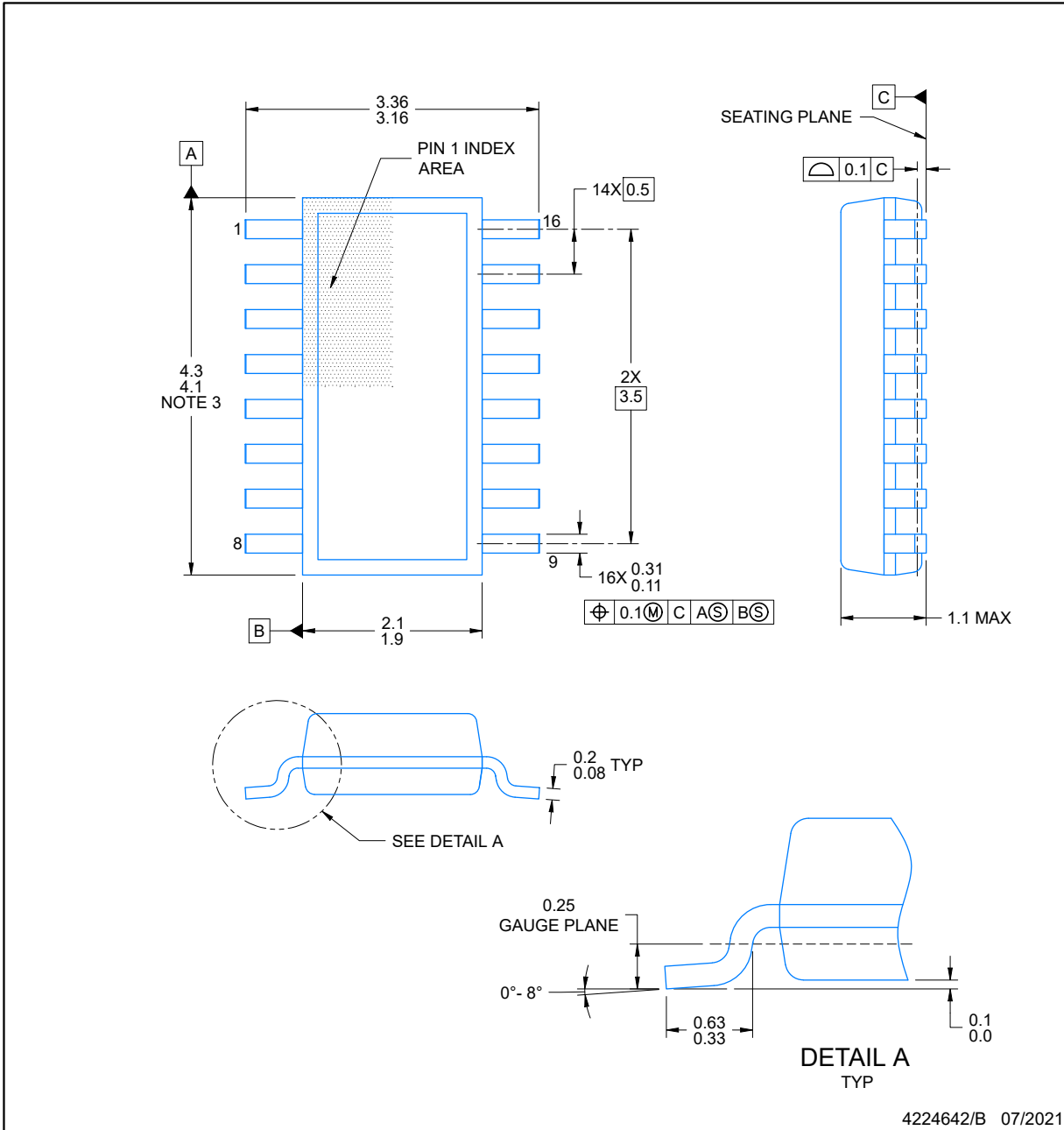
- 11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DYY0016A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA

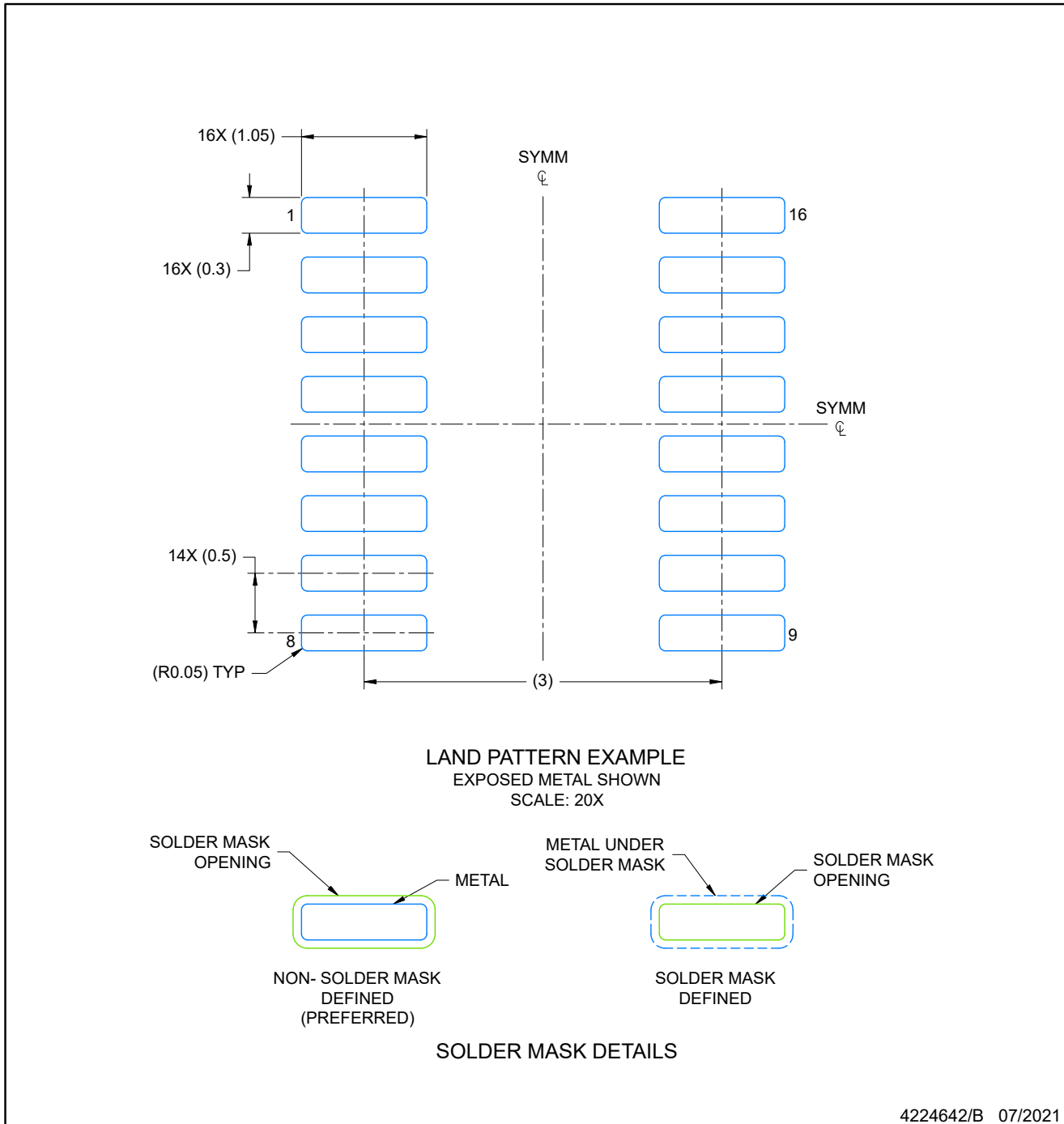
ADVANCE INFORMATION

4224642/B 07/2021

EXAMPLE BOARD LAYOUT SOT-23-THIN - 1.1 mm max height

DYY0016A

PLASTIC SMALL OUTLINE



4224642/B 07/2021

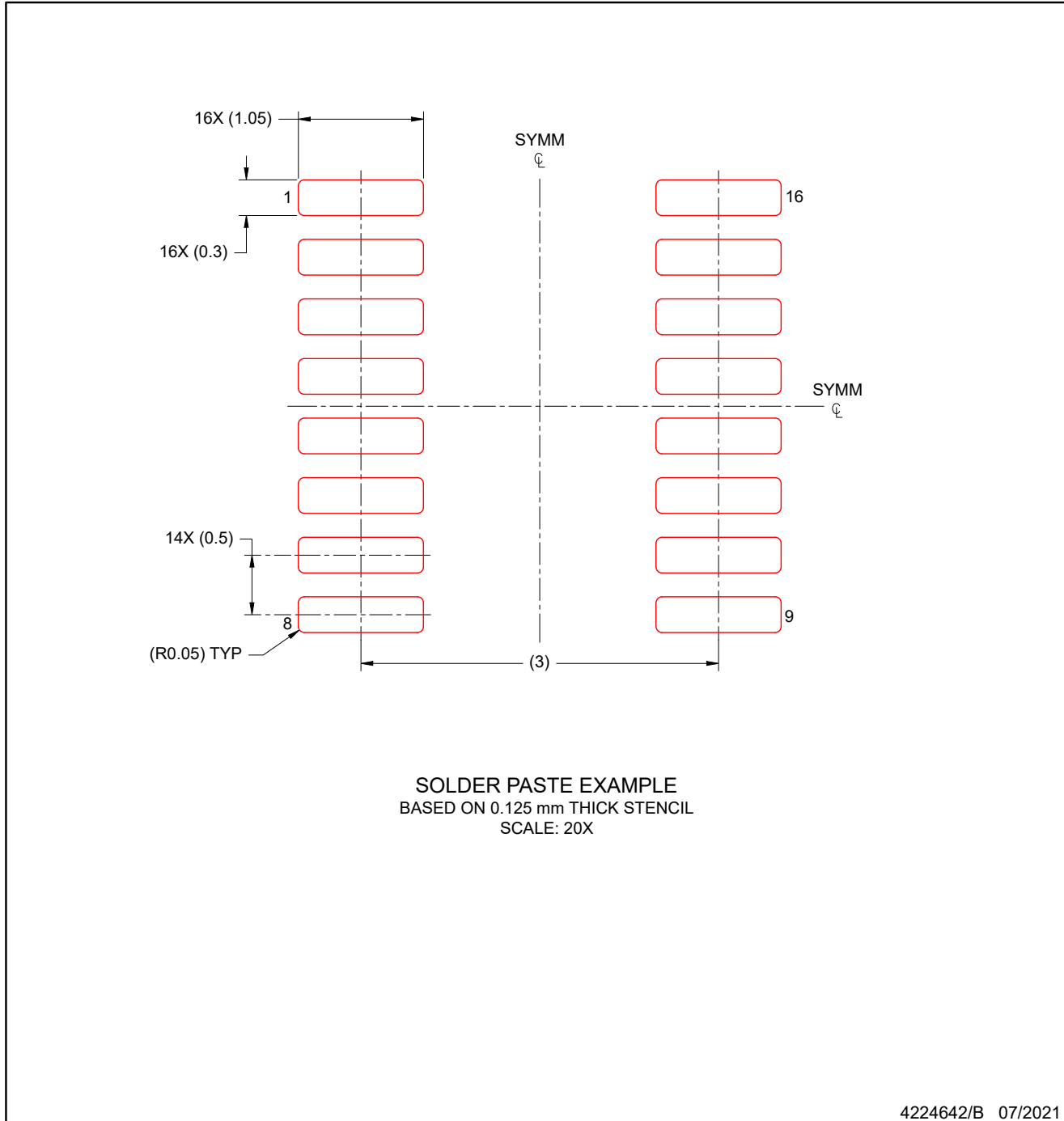
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN
SOT-23-THIN - 1.1 mm max height

DYY0016A

PLASTIC SMALL OUTLINE



ADVANCE INFORMATION

NOTES: (continued)

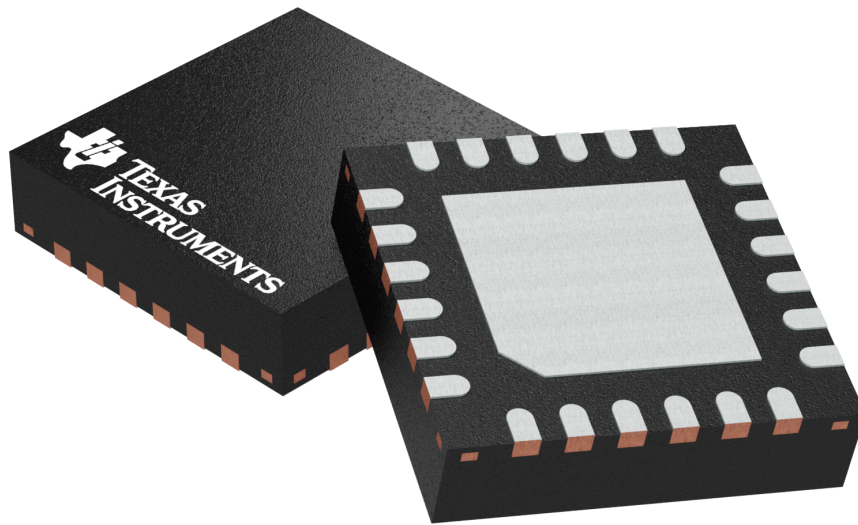
- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

RGE 24

VQFN - 1 mm max height

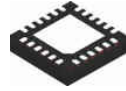
PLASTIC QUAD FLATPACK - NO LEAD



ADVANCE INFORMATION

Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H

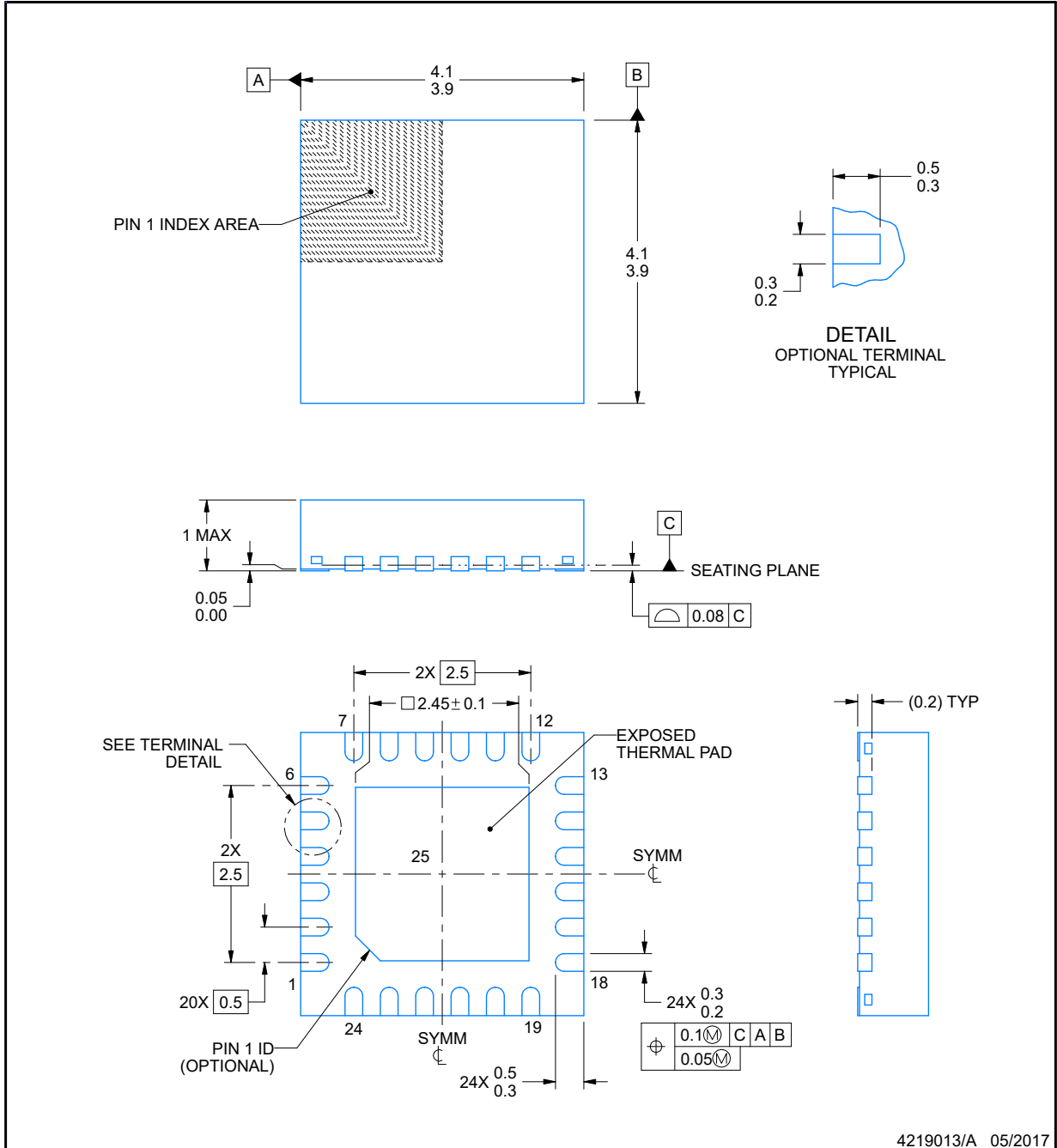


RGE0024B

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4219013/A 05/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

ADVANCE INFORMATION

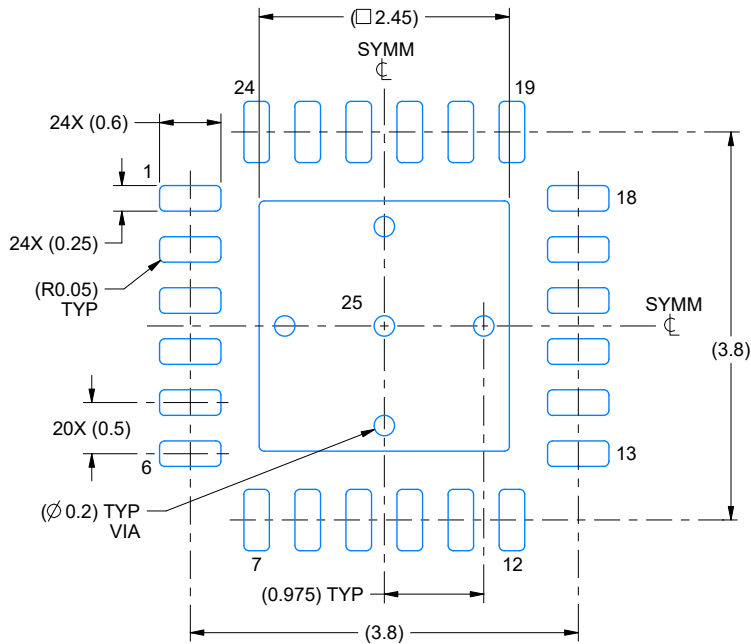
EXAMPLE BOARD LAYOUT

RGE0024B

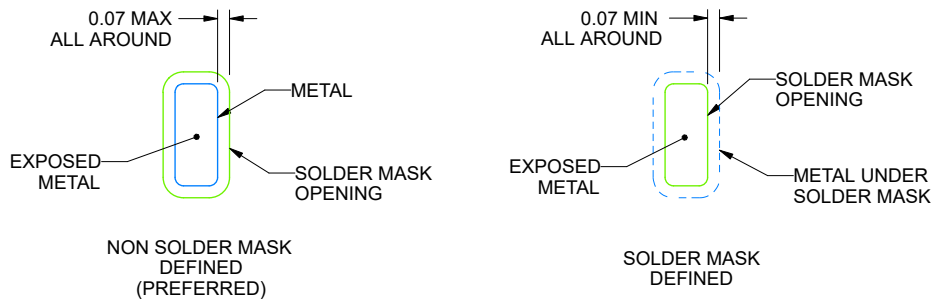
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

ADVANCE INFORMATION



LAND PATTERN EXAMPLE
 EXPOSED METAL SHOWN
 SCALE:15X



SOLDER MASK DETAILS

4219013/A 05/2017

NOTES: (continued)

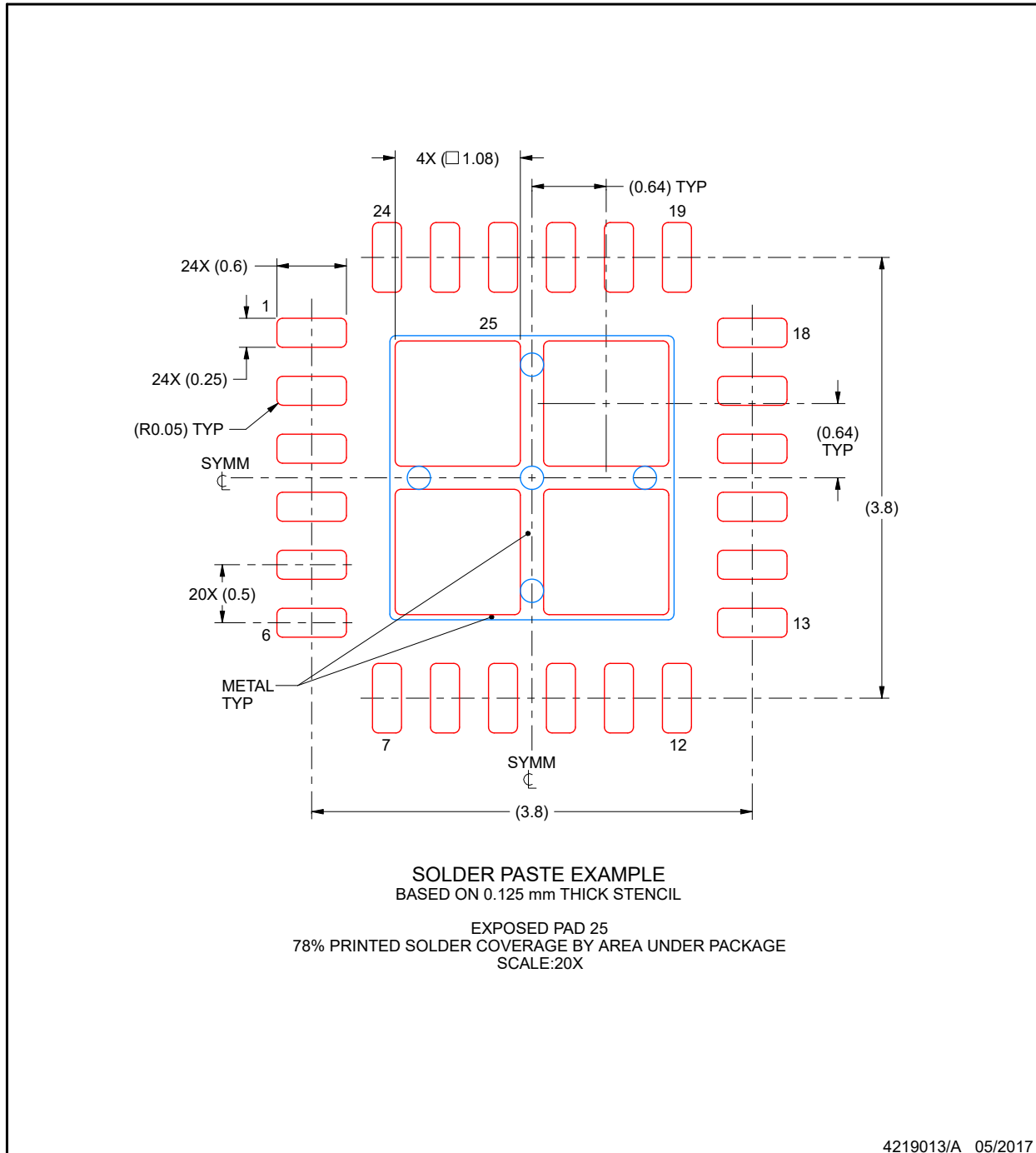
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



ADVANCE INFORMATION

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

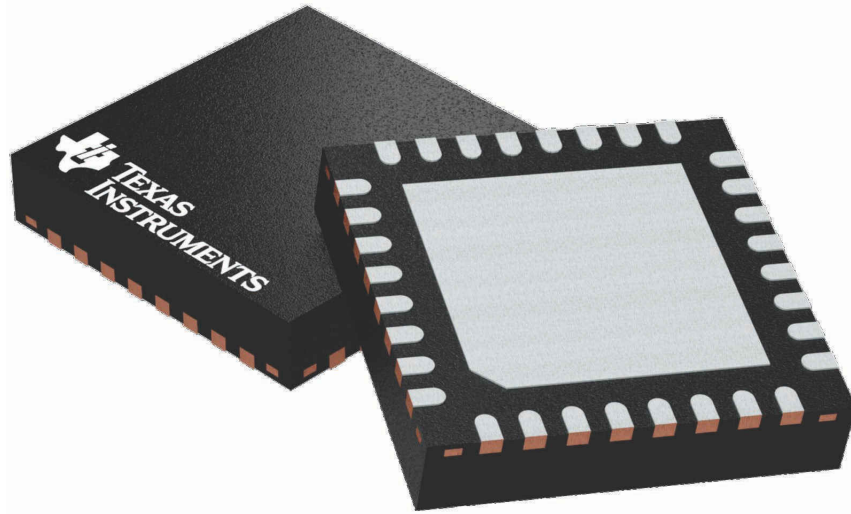
GENERIC PACKAGE VIEW

RHB 32

5 x 5, 0.5 mm pitch

VQFN - 1 mm max height

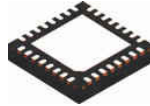
PLASTIC QUAD FLATPACK - NO LEAD



ADVANCE INFORMATION

Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A

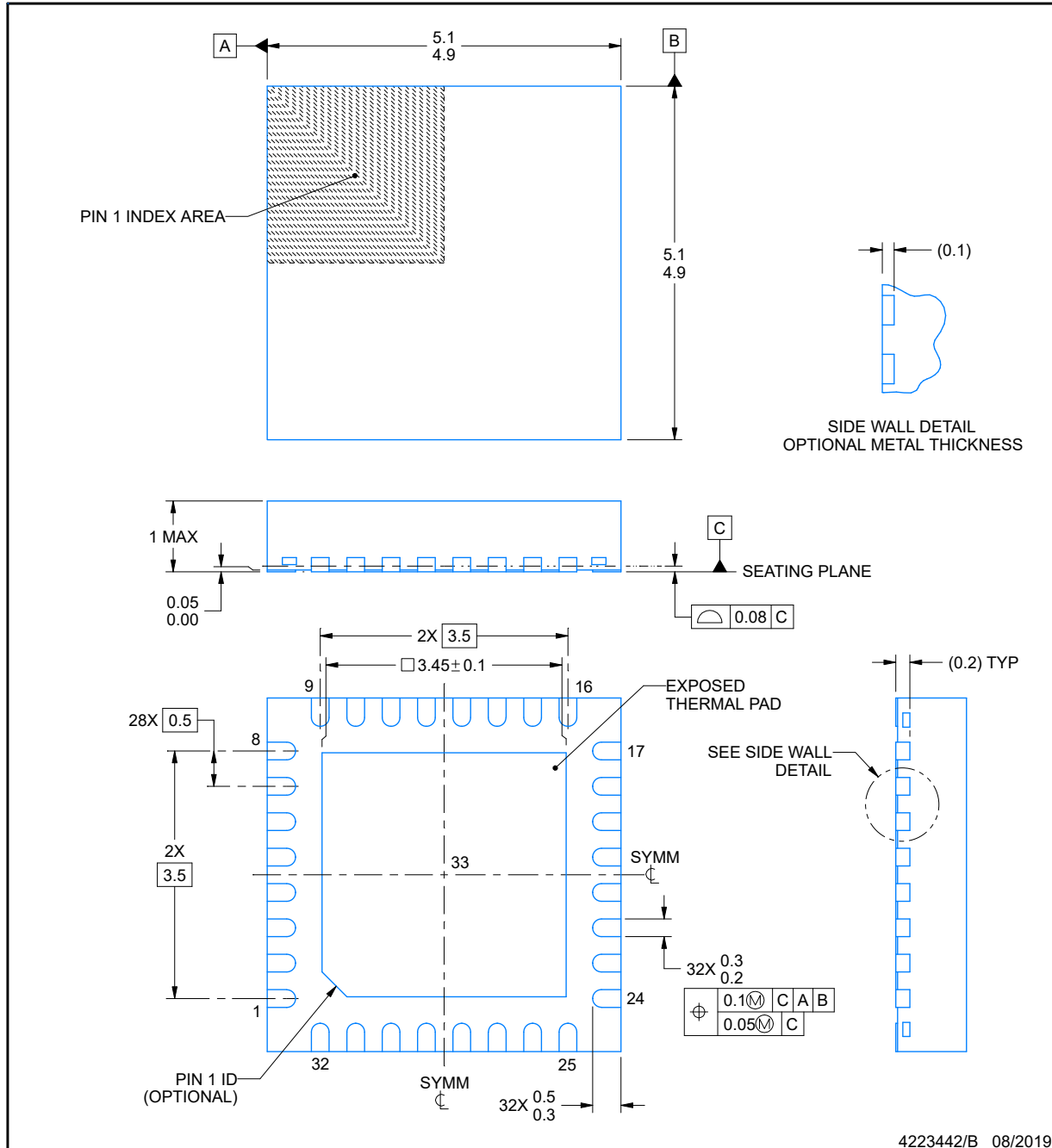


RHB0032E

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



ADVANCE INFORMATION

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

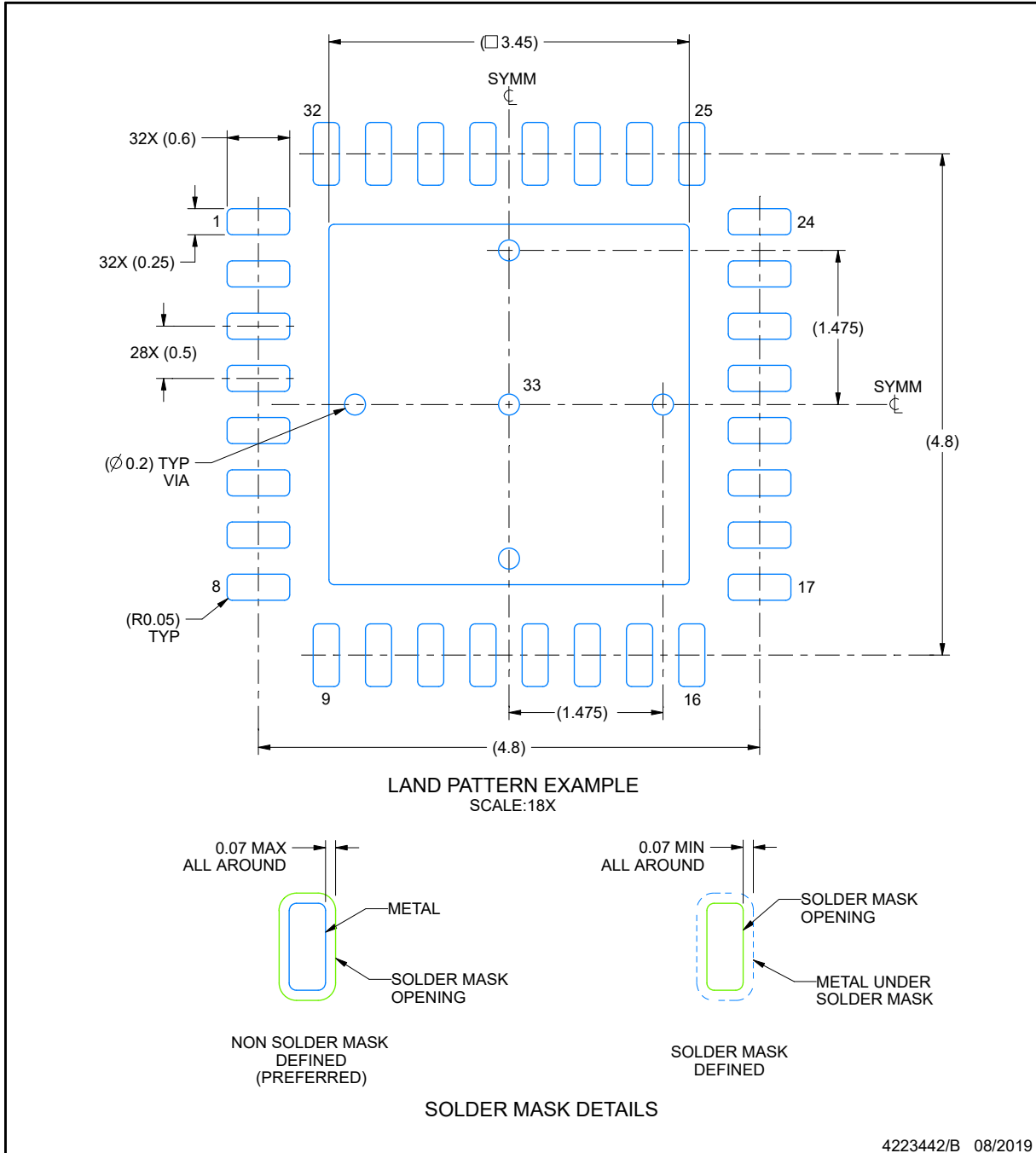
EXAMPLE BOARD LAYOUT

RHB0032E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

ADVANCE INFORMATION



NOTES: (continued)

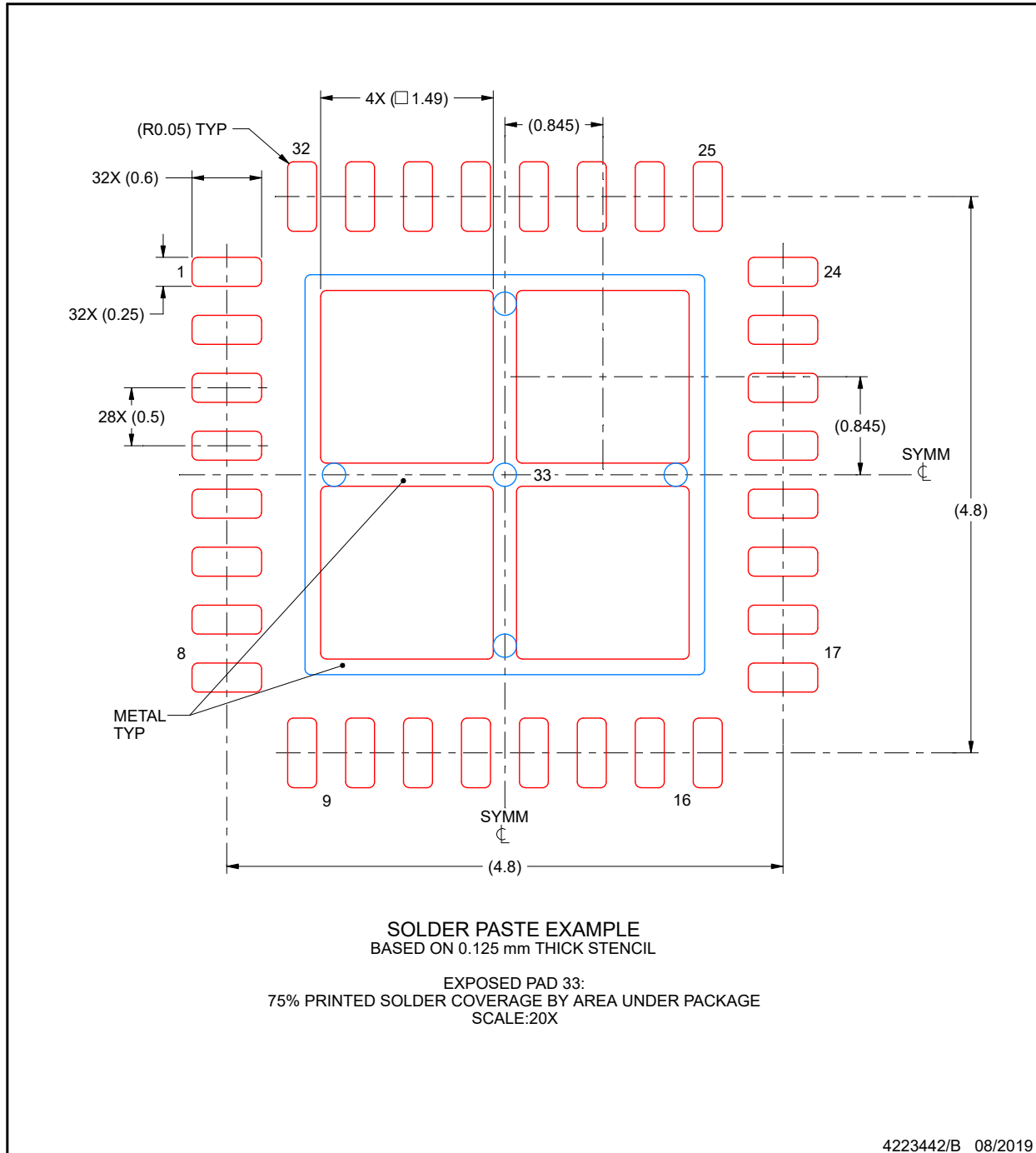
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHB0032E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



ADVANCE INFORMATION

NOTES: (continued)

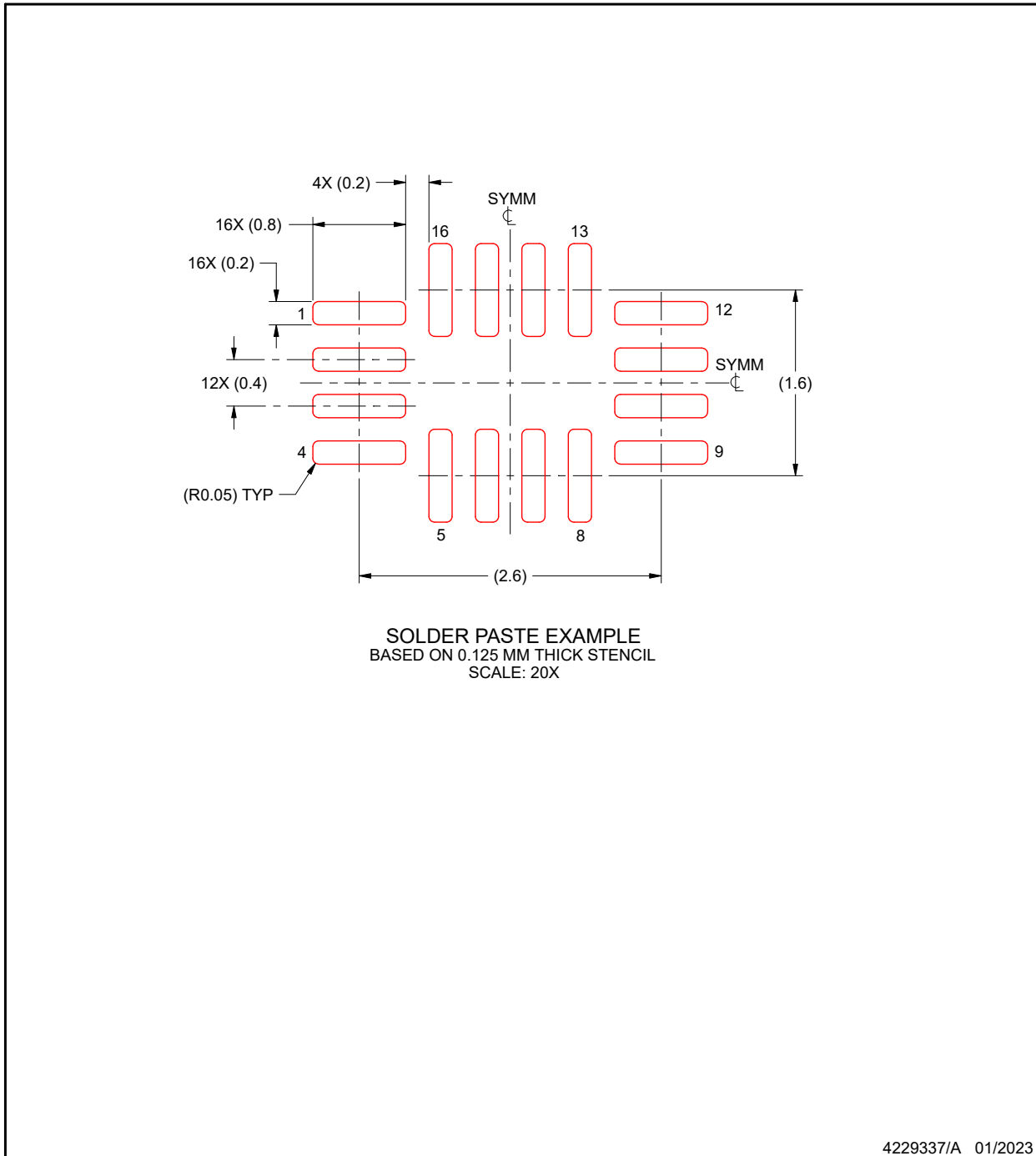
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

EXAMPLE STENCIL DESIGN

RTR0016A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

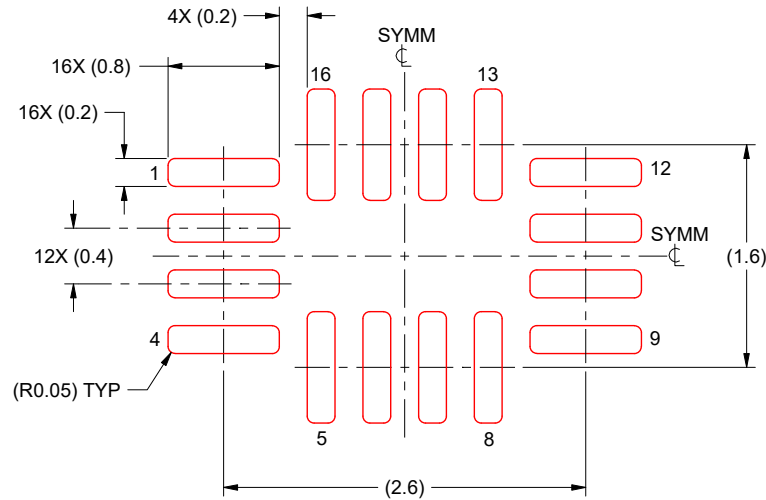
ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

RTR0016A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

4229337/A 01/2023

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

ADVANCE INFORMATION

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
2023 年 3 月	A	首次公开发布

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
MSPM0L1105TRHBR	ACTIVE	VQFN	RHB	32	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	MSPM0 L1105T	Samples
MSPM0L1106TRHBR	ACTIVE	VQFN	RHB	32	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	MSPM0 L1106T	Samples
XMSM0L1105TDGS20R	ACTIVE	VSSOP	DGS	20	1	TBD	Call TI	Call TI	-40 to 105		Samples
XMSM0L1105TDGS28R	ACTIVE	VSSOP	DGS	28	1	TBD	Call TI	Call TI	-40 to 105		Samples
XMSM0L1105TDYYR	ACTIVE	SOT-23-THIN	DYY	16	1	TBD	Call TI	Call TI	-40 to 105		Samples
XMSM0L1105TRGER	ACTIVE	VQFN	RGE	24	1	TBD	Call TI	Call TI	-40 to 105		Samples
XMSM0L1105TRHBR	ACTIVE	VQFN	RHB	32	1	TBD	Call TI	Call TI	-40 to 105		Samples
XMSM0L1106TDGS20R	ACTIVE	VSSOP	DGS	20	1	TBD	Call TI	Call TI	-40 to 105		Samples
XMSM0L1106TDGS28R	ACTIVE	VSSOP	DGS	28	1	TBD	Call TI	Call TI	-40 to 105		Samples
XMSM0L1106TDYYR	ACTIVE	SOT-23-THIN	DYY	16	1	TBD	Call TI	Call TI	-40 to 105		Samples
XMSM0L1106TRGER	ACTIVE	VQFN	RGE	24	1	TBD	Call TI	Call TI	-40 to 105		Samples
XMSM0L1106TRHBR	ACTIVE	VQFN	RHB	32	1	TBD	Call TI	Call TI	-40 to 105		Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

- (3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.
- (4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.
- (5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.
- (6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSPM0L1105TRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
MSPM0L1106TRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSPM0L1105TRHBR	VQFN	RHB	32	3000	367.0	367.0	35.0
MSPM0L1106TRHBR	VQFN	RHB	32	3000	367.0	367.0	35.0

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司